

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年11月12日

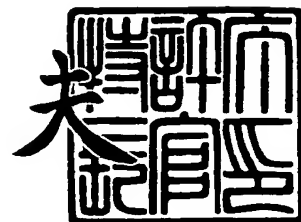
出願番号  
Application Number: 特願2002-328835  
[ST. 10/C]: [JP2002-328835]

出願人  
Applicant(s): シャープ株式会社

2003年10月14日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3084374

【書類名】 特許願

【整理番号】 02J02161

【提出日】 平成14年11月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/20 620

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 前田 和宏

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 辻野 幸生

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 鷺尾 一

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 麻生 祐史

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

## 【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

## 【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

## 【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

## 【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ信号線駆動方法、データ信号線駆動回路およびそれを用いた表示装置

【特許請求の範囲】

【請求項 1】

多相化された映像信号を複数の映像信号線を通して複数のデータ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動方法において、

各映像信号線に所定本数のデータ信号線が連続して接続されたデータ信号線群を、映像信号線数分集めて 1 ブロックとし、

上記ブロック単位で映像信号線からデータ信号線へ映像信号を取り込むことを特徴とするデータ信号線駆動方法。

【請求項 2】

複数のカラー信号を有する映像信号を、多相化して映像信号線を通して複数のデータ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動方法であって、

各映像信号線は、それぞれカラー信号毎に分割された複数の分割映像信号線からなり、

各分割映像信号線に所定本数のデータ信号線がカラー信号毎に連続して接続されたデータ信号線群を、映像信号線数分集めて 1 ブロックとし、

上記ブロック単位で映像信号線からデータ信号線へ映像信号を取り込むことを特徴とするデータ信号線駆動方法。

【請求項 3】

多相化された映像信号を複数の映像信号線を通して複数のデータ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動回路において、

各映像信号線には、所定本数連続して接続されたデータ信号線からなるデータ信号線群が形成され、

各映像信号線に形成されたデータ信号線群を映像信号線数分集めて 1 ブロックとしたとき、該ブロック単位で、映像信号線からデータ信号線へ映像信号を取り込む映像信号取込部を有していることを特徴とするデータ信号線駆動回路。

**【請求項 4】**

複数のカラー信号を有する映像信号を、多相化して映像信号線を通して複数のデータ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動回路であって、

各映像信号線は、それぞれカラー信号毎に分割された複数の分割映像信号線からなり、

各分割映像信号線に所定本数のデータ信号線がカラー信号毎に連続して接続されたデータ信号線群を、映像信号線数分集めて1ブロックとしたとき、上記ブロック単位で映像信号線からデータ信号線へ映像信号を取り込む映像信号取込部を有していることを特徴とするデータ信号線駆動回路。

**【請求項 5】**

上記映像信号取込部は、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する第1駆動と、各データ信号線群の全てのデータ信号線を同時に駆動する第2駆動とを切り替える駆動切替手段を備えていることを特徴とする請求項3または4記載のデータ信号線駆動回路。

**【請求項 6】**

上記映像信号取込部は、映像信号線からデータ信号線へ映像信号を取り込むためのタイミングパルス生成するシフトレジスタを備え、

上記駆動切替手段は、第1駆動と第2駆動とを切り替える際に、上記シフトレジスタの作動する段数を、第1駆動と第2駆動とで異なるように切り替えることを特徴とする請求項5記載のデータ信号線駆動回路。

**【請求項 7】**

上記映像信号取込部は、駆動切替手段によって切り替えられた駆動によりデータ信号線の駆動に必要なシフトレジスタを停止させる停止手段を備えていることを特徴とする請求項6記載のデータ信号線駆動回路。

**【請求項 8】**

上記ブロック内のデータ信号線群は、データ信号線に取り込む映像信号に含まれる色数を1セットとしたデータ信号線を所定セット数集めたものであることを特徴とする請求項3ないし7の何れかに記載のデータ信号線駆動回路。

**【請求項 9】**

複数のデータ信号線と、これらデータ信号線に交差する複数の走査信号線と、上記データ信号線と走査信号線との各交差部に設けられた画素とを有し、走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のための映像信号を取込み保持する表示パネルと、

上記複数のデータ信号線に所定のタイミング信号に同期して、映像信号を出力するデータ信号線駆動回路と、

上記複数の走査信号線に所定のタイミングに同期して走査信号を出力する走査信号線駆動回路とを備え、

上記映像信号が多相化された各々が複数の映像信号線を通じて、上記データ信号線に供給される表示装置において、

上記データ信号線駆動回路は、請求項 3 ないし 8 の何れか 1 項に記載のデータ信号線駆動回路であることを特徴とする表示装置。

**【請求項 10】**

上記データ信号線駆動回路、上記走査線駆動回路、上記画素が同一基板上に形成されていることを特徴とする請求項 9 記載の表示装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、多相化された映像信号をデータ信号線に取り込み、取り込んだ映像信号を該データ信号線から出力させるようにデータ信号線を駆動するデータ信号線駆動方法、データ信号線駆動回路およびそれを用いた表示装置に関する。

**【0002】****【従来の技術】**

一般に、液晶パネル、有機 EL (Electroluminescence) パネル等の画像表示装置は、図 21 に示すように、データ信号線  $SL1 \sim SLx$  と、このデータ信号線  $SL1 \sim SLx$  に直交する走査信号線  $GL1 \sim GLy$  と、各データ信号線と走査信号線の交点に配置された画素  $PIX$  とを有する画素アレイ  $PIXARY$  と、上記のデータ信号線を駆動するデータ信号線駆動回路  $SD$  と、上記の走査信号線を

駆動する走査信号線駆動回路GDと、上記データ信号線駆動回路SDと走査信号線駆動回路GDとに制御信号を供給する制御信号発生部とを備えている。

#### 【0003】

上記データ信号線駆動回路SD、走査信号線駆動回路GD、制御信号発生部、画素アレイPIXARYは、ガラスや石英等からなる絶縁性の基板上に一体的に形成されている。このような場合、上記の各駆動回路は、ポリシリコンの薄膜MOSトランジスタ（以下、ポリシリコンTFTと称する）で構成される。

#### 【0004】

ところで、ポリシリコンTFTを用いた駆動回路は、単結晶シリコンTFTを用いた駆動回路に比べて動作スピードが非常に遅いという欠点を有している。特に、データ信号線を駆動するデータ信号線駆動回路において、大画面、大容量の表示を行なう場合、データ信号線駆動回路を構成するシフトレジスタの動作スピードが不足するので、ポリシリコンTFTで構成されたシフトレジスタの動作スピードを越えない範囲で駆動する方法が、種々検討されている。

#### 【0005】

例えば、データ信号線駆動回路において、複数の映像信号線を設け、これら各映像信号線に、多相化した映像信号DATを入力し、各映像信号線に接続されデータ信号線から同じタイミングで映像信号を出力することで、シフトレジスタの周波数を多相化した分だけ下げる多相展開の技術が提案されている。

#### 【0006】

図22は、映像信号を2相化した場合のデータ信号線駆動回路の概略ブロック図を示す。この例では、映像信号DATを、2つの映像信号号DAT1と映像信号号DAT2に分離して、それぞれを独立した映像信号線を経て、データ信号線から出力するようになっている。この場合、図23に示すように、一つのシフトレジスタSRと一つの波形整形回路SMPによって、2つのデータ信号線SLを同じタイミングで駆動している（図24に示すタイミングチャートを参照）。

#### 【0007】

なお、図22では、説明を簡単にするために、映像信号線が2本で、シフトレジスタが1系統のものを示しているが、技術内容が同じ概念であり、映像信号線

が 8 本で、シフトレジスタが 4 系統の例として特許文献 1（特開平 11-24632 号公報）がある。

#### 【0008】

以上のように、2 相展開してデータ信号線駆動回路を駆動すれば、データ信号線駆動回路を構成するシフトレジスタの動作スピード（周波数）を低くすることが可能となる。

#### 【0009】

なお、図 24 に示すタイミングチャートは、表示部である画素 P I X A R Y の解像度と入力される映像信号の解像度とが同じであると仮定した場合のタイミングチャートである。

#### 【0010】

ところで、上記のような表示装置において、表示部の解像度と映像信号の解像度とが同じ場合だけでなく、表示部の解像度よりも低い解像度の映像信号を入力して表示することも要求されている。例えば、表示部の解像度の半分の解像度の映像信号を入力して適切に表示させるには、上記データ信号線駆動回路を、図 25 に示すタイミングチャートに基づいて動作させればよい。つまり、2 本のデータ信号線に同じ映像信号を出力させるようにすることで、表示部の解像度の半分の解像度の映像信号を表示させることが可能となる。なお、このとき、走査線駆動回路においても、走査信号線は 2 本ずつ駆動される。

#### 【0011】

##### 【特許文献 1】

特開平 11-24632 号公報（1999 年 1 月 29 日公開）

#### 【0012】

##### 【発明が解決しようとする課題】

ところで、従来の多相展開を行なうデータ信号線駆動回路では、隣り合うデータ信号線は互いに異なる映像信号線に接続されている。例えば、図 22 に示すデータ信号線駆動回路の場合、隣り合う 2 本のデータ信号線は、それぞれ映像信号線 D A T 1、D A T 2 に接続されている。しかも、隣り合う 2 本のデータ信号線は、同一の波形整形回路 S M P を介して同一のシフトレジスタ S R に接続されて



いる。

#### 【0013】

このため、表示部の解像度と同じ解像度の映像信号を表示させる時（高解像度駆動時）は、前述の図24に示すように、2本の映像信号線からの映像信号を同じシフトレジスタからのタイミングパルスに同期して、データ信号線に出力するようになっているので、相展開数が2となり、映像信号の周波数はそのまま、シフトレジスタの周波数を相展開しない場合に比べて1/2にすることができる。この結果、相展開しない場合に比べてデータ信号線駆動回路における消費電力を削減できるという利点を有している。

#### 【0014】

しかしながら、表示部の解像度よりも低い解像度の映像信号を表示させる時（低解像度駆動時）は、図25に示すように、隣り合うデータ信号線に同じ映像信号を供給するために、2本の映像信号線に同じ映像信号を供給する必要がある。このため、低解像度駆動時は、高解像度駆動時のように相展開された状態とならない。

#### 【0015】

このように、低解像度駆動時は、上述のように、2本の映像信号線に同じデータを供給する必要があるので、図22に示すデータ信号線駆動回路のシフトレジスタの周波数は、高解像度駆動時と同じ周波数となるが、映像信号線から供給される映像信号の周波数も、高解像度駆動時と同じ周波数となるため、この結果、高解像度駆動時に比べてデータ信号線駆動回路における消費電力が等しくなる。

#### 【0016】

従って、従来の多相展開のデータ信号線駆動回路では、高解像度駆動時と低解像度駆動時の消費電力が等しくなるため、解像度が低くなる場合でも消費電力が低下しないという問題を有している。

#### 【0017】

本発明は、上記の問題点に鑑みなされたものであって、その目的は、多相展開を行なう際に、高解像度駆動時に比べて低解像度駆動時の消費電力を低くすることが可能なデータ信号線駆動方法、データ信号線駆動回路およびそれを備えた表

示装置を提供することにある。

【0018】

【課題を解決するための手段】

上記の課題を解決するために、本発明のデータ信号線駆動方法は、多相化された映像信号を複数の映像信号線を通して各データ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動方法において、上記映像信号線に所定本数のデータ信号線が連続して接続されたデータ信号線群を、映像信号線数分集めて1ブロックとし、上記ブロック単位で映像信号線からデータ信号線へ映像信号を取り込むことを特徴としている。

【0019】

上記の構成によれば、ブロック単位で映像信号線からデータ信号線へ映像信号を取り込むことで、ブロック内では、データ信号線群それぞれに異なる映像信号線からの映像信号が取り込まれることになる。

【0020】

これにより、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する場合（高解像度駆動）であっても、各データ信号線群の全てのデータ信号線を同時に駆動（低解像度駆動）する場合であっても、常に、各映像信号線には異なる映像信号を転送すること（多相展開）が可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができる。

【0021】

また、上記映像信号が複数のカラー信号を有する場合には、以下のようなデータ信号線駆動方法が考えられる。

【0022】

すなわち、複数のカラー信号を有する映像信号を、多相化して映像信号線を通して複数のデータ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動方法であって、各映像信号線は、それぞれカラー信号毎に分割された複数の分割映像信号線からなり、各分割映像信号線に所定本数のデータ信号線がカラー信号毎に連続して接続されたデータ信号線群を、映像信号線数分集めて1プロ

ックとし、上記ブロック単位で映像信号線からデータ信号線へ映像信号を取り込むようにしてもよい。

#### 【0023】

この場合にも、常に、各映像信号線には異なる映像信号を転送すること（多相展開）が可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができる。

#### 【0024】

また、本発明のデータ信号線駆動回路は、上記の課題を解決するために、多相化された映像信号を複数の映像信号線を通して各データ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動回路において、各映像信号線には、所定本数連続して接続されたデータ信号線からなるデータ信号線群が形成され、各映像信号線に形成されたデータ信号線群を映像信号線数分集めて1ブロックとしたとき、該ブロック単位で、映像信号線からデータ信号線へ映像信号を取り込む映像信号取込部を有していることを特徴としている。

#### 【0025】

上記の構成によれば、映像信号取込部によって、ブロック単位で映像信号線からデータ信号線へ映像信号が取り込まれるので、ブロック内では、データ信号線群それぞれに異なる映像信号線からの映像信号が取り込まれることになる。

#### 【0026】

これにより、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する場合であっても、各データ信号線群の全てのデータ信号線を同時に駆動する場合であっても、常に、各映像信号線には異なる映像信号を転送すること（多相展開）が可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができる。

#### 【0027】

また、映像信号が複数のカラー信号を含んでいる場合には、以下のようなデータ信号線駆動回路が考えられる。

#### 【0028】

すなわち、複数のカラー信号を有する映像信号を、多相化して映像信号線を通

して複数のデータ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動回路であって、各映像信号線は、それぞれカラー信号毎に分割された複数の分割映像信号線からなり、各分割映像信号線に所定本数のデータ信号線がカラー信号毎に連続して接続されたデータ信号線群を、映像信号線数分集めて1ブロックとしたとき、上記ブロック単位で映像信号線からデータ信号線へ映像信号を取り込む映像信号取込部を有していてもよい。

#### 【0029】

この場合にも、常に、各映像信号線には異なる映像信号を転送すること（多相展開）が可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができる。

#### 【0030】

上記映像信号取込部は、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する第1駆動と、各データ信号線群の全てのデータ信号線を同時に駆動する第2駆動とを切り替える駆動切替手段を備えていてもよい。

#### 【0031】

この場合、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する第1駆動（高解像度駆動）と、各データ信号線群の全てのデータ信号線を同時に駆動する第2駆動（低解像度駆動）とを任意に切り替える駆動切替手段を備えることで、データ信号線に取り込む信号の解像度を任意に切り替える機能を有することになる。

#### 【0032】

これにより、例えば、高解像度の映像信号をデータ信号線に取り込む場合、通常、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する第1駆動が採用されるが、高解像度の映像信号を、各データ信号線群の全てのデータ信号線を同時に駆動する第2駆動を採用して映像信号をデータ信号線に取り込むことができる。

#### 【0033】

上記映像信号取込部は、映像信号線からデータ信号線へ映像信号を取り込むためのタイミングパルス生成するシフトレジスタを備え、上記駆動切替手段は、

第 1 駆動と第 2 駆動とを切り替える際に、上記シフトレジスタの作動する段数を、第 1 駆動と第 2 駆動とで異ならせるようにしてもよい。

#### 【 0 0 3 4 】

この場合、第 1 駆動で作動するシフトレジスタの段数と、第 2 駆動で作動するシフトレジスタの段数とが異なるので、各駆動において消費電力の最適化を図ることができる。例えば、第 1 駆動のように、ブロック内のデータ信号線群のデータ信号線を 1 つずつ同時に駆動する場合には、ブロック内のデータ信号線群の数だけシフトレジスタを作動させる必要があるが、第 2 駆動のように、ブロック内のデータ信号線群の全てのデータ信号線を同時に駆動させる場合には、1 つのシフトレジスタを作動させれば済む。このような場合に、シフトレジスタの作動する段数を第 1 駆動と第 2 駆動とで切り替えるようにすれば、データ信号線の駆動に必要なシフトレジスタを作動させる必要がなくなるので、消費電力の低減を図ることができる。

#### 【 0 0 3 5 】

具体的には、上記映像信号取込部は、駆動切替手段によって切り替えられた駆動によりデータ信号線の駆動に必要なシフトレジスタを停止させる停止手段を備えていてもよい。

#### 【 0 0 3 6 】

また、上記ブロック内のデータ信号線群は、データ信号線に取り込む映像信号に含まれる色数を 1 セットとしたデータ信号線を所定セット数集めたものであってもよい。

#### 【 0 0 3 7 】

この場合、映像信号がカラーの場合には、色数は通常 3 であり、R G B の 3 本のデータ信号線が 1 セットとなる。また、映像信号がモノクロの場合には、色数は 1 であり、1 本のデータ信号線が 1 セットとなるので、カラーの場合でもモノクロの場合でも、高解像度駆動時の場合に比べて低解像度駆動時の場合の消費電力が抑制でき、結果として、データ信号線駆動回路の消費電力の低減を図ることができる。

#### 【 0 0 3 8 】

本発明の表示装置は、上記の課題を解決するために、複数のデータ信号線と、これらデータ信号線に交差する複数の走査信号線と、上記データ信号線と走査信号線との各交差部に設けられた画素とを有し、走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のための映像信号を取込み保持する表示パネルと、上記複数のデータ信号線に所定のタイミング信号に同期して、映像信号を出力するデータ信号線駆動回路と、上記複数の走査信号線に所定のタイミングに同期して走査信号を出力する走査信号線駆動回路とを備え、上記映像信号が多相化された各々が複数の映像信号線を通じて、上記データ信号線に供給される表示装置において、上記データ信号線駆動回路は、上記の何れのデータ信号線駆動回路であってもよい。

#### 【0039】

上記の構成によれば、映像信号が高解像度であっても、低解像度であっても、多相展開で表示することが可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができ、結果として、表示装置全体の消費電力の低減を図ることができる。

#### 【0040】

しかも、高解像度駆動時の場合、従来のデータ信号線駆動回路では、ブロック単位で映像信号をデータ信号線に取り込む構成をとった場合、ブロックの端部分と真中部分のデータ信号線に対する、隣接するデータ信号線の影響が異なるため、ブロックの端部分に表示上で縞が発生し表示品位を悪くしてしまうという問題があるが、上記構成の場合、ブロック全域におけるデータ信号線に対しての隣接するデータ信号線の影響を均一化できるため表示品位の劣化を抑えることもできる。

#### 【0041】

上記データ信号線駆動回路、上記走査線駆動回路、上記画素が同一基板上に形成されていてもよい。

#### 【0042】

このように、上記機能を有するデータ信号線駆動回路を、走査信号線駆動回路ならびに画素と同一基板上に形成することにより、実装に伴うコストを低減する

ことができると共に、信頼性の向上を図ることができる。

#### 【0043】

##### 【発明の実施の形態】

##### 〔実施の形態1〕

本発明の一実施の形態について説明すれば、以下の通りである。なお、本実施の形態では、本発明のデータ信号線駆動回路をマトリクス型の画像表示装置に適用した例について説明する。

#### 【0044】

本実施の形態にかかるマトリクス型の画像表示装置は、図2に示すように、 $m$ 本のデータ信号線  $SL_x$  ( $1 \leq x \leq m$ ) と、このデータ信号線  $SL_x$  に直交する  $n$ 本の走査信号線  $GL_y$  ( $1 \leq y \leq n$ ) と、各データ信号線  $SL_x$  と走査信号線  $GL_y$  との交点に配設された画素1と、データ信号線  $SL_x$  を駆動するデータ信号線駆動回路3と、走査信号線  $GL_y$  を駆動する走査信号線駆動回路4とが同一のガラス基板等の絶縁基板上に配置されたドライバモノリシック構造の画素アレイ2を有している。

#### 【0045】

上記画素アレイ2は、画素1の数が  $m \times n$  個の表示部を有することになるので、この表示部の解像度は  $m \times n$  となる。これは、図2に示す画像表示装置における表示部の最大解像度が  $m \times n$  であることを示す。なお、本実施の形態では、表示部の最大解像度よりも低い解像度の映像信号を適切に表示できるようになっている。この点についての詳細は、後述する。

#### 【0046】

また、上記画像表示装置には、上記画素アレイ2とは別に、データ信号線駆動回路3と走査信号線駆動回路4とに対して、駆動電源を供給する電源回路5と各種信号を供給する制御回路6とが設けられている。

#### 【0047】

上記電源回路5は、データ信号線駆動回路3に対して、駆動電源としてのハイレベルの電圧  $V_{SH}$  とローレベルの電圧  $V_{SL}$  とを印加し、走査信号線駆動回路4に対して、駆動電源としてのハイレベルの電圧  $V_{GH}$  とローレベルの電圧  $V_G$

Lとを印加するようになっている。さらに、電源回路5は、上記画素アレイ2に設けられ、各画素1に接続されているコモンライン（図示せず）に対して、コモン電圧COMを印加するようになっている。

#### 【0048】

上記制御回路6は、データ信号線駆動回路3に対して、クロック信号SCKとスタートパルスSSPとを供給し、走査信号線駆動回路4に対して、クロック信号GCKとスタートパルスGSPとを供給するようになっている。さらに、制御回路6は、外部から入力されたデジタルの映像信号をアナログの映像信号DATに変換して、データ信号線駆動回路3に供給するようになっている。この映像信号DATの変換についての詳細は、後述する。

#### 【0049】

上記画像表示装置では、上記画素アレイ2において、上記画素1と上記データ信号線駆動回路3と上記走査信号線駆動回路4とを絶縁基板上にモノリシックに形成するために、これらを構成している能動素子を、多結晶シリコン薄膜トランジスタ（Poly Si TFT）で構成している。これにより、駆動回路（データ信号線駆動回路3、走査信号線駆動回路4）と画素を同一基板上に同一プロセスで形成することが可能となり、製造コストの低減化を図ることができる。

#### 【0050】

以下では、モノリシックに形成される画像表示装置の例として、多結晶シリコン薄膜トランジスタで上記画素アレイ2および上記各駆動回路3・4の能動素子を構成した場合における、トランジスタの構造とその製造方法とについて簡単に説明する。

#### 【0051】

すなわち、図3（a）に示すガラス基板上に、図3（b）に示すように非晶質シリコン薄膜（a-Si）が堆積される。さらに、図3（c）に示すように、当該非晶質シリコン薄膜にエキシマレーザを照射することにより、非晶質シリコン薄膜を多結晶シリコン薄膜（poly-Si）に変化させる。

#### 【0052】

さらに、図3（d）に示すように、多結晶シリコン薄膜を所望の形状にパター



ニングし、該パターンを活性化領域として形成し、図3（e）に示すように、上記多結晶シリコン薄膜上に、二酸化シリコンからなるゲート絶縁膜を形成する。

#### 【0053】

また、図3（f）において、ゲート絶縁膜上に、アルミニウムなどによって、薄膜トランジスタのゲート電極を形成した後、図3（g）および図3（h）において、薄膜トランジスタのソース・ドレイン領域となる領域に、不純物を注入する。ここで、n型領域には、磷が注入され、p型領域には硼素が注入される。なお、一方の領域に不純物を注入する前に、残余の領域は、レジストで覆われているので、所望の領域のみに不純物を注入できる。

#### 【0054】

さらに、図3（i）に示すように、上記ゲート絶縁膜およびゲート電極上に、二酸化シリコンまたは窒化シリコンなどからなる層間絶縁膜を堆積し、図3（j）に示すように、コンタクトホールを開口した後、図3（k）に示すように、アルミニウムなどの金属配線を形成する。

#### 【0055】

これにより、図4に示すように、絶縁性基板上の多結晶シリコン薄膜を活性層とする順スタガー（トップゲート）構造の薄膜トランジスタを形成できる。なお、同図は、n-chのトランジスタの例を示しており、上記n型領域のうち、ゲート電極下部の多結晶シリコン薄膜を、絶縁性基板の表面方向に挟むように配され一方がソース領域となり、他方がドレイン領域になる。

#### 【0056】

このように、多結晶薄膜トランジスタを用いることによって、実用的な駆動能力を有するデータ信号線駆動回路3および走査信号線駆動回路4を、画素アレイ2と同一基板上に、かつ、略同一の製造工程で構成できる。なお、上記では、一例として、当該構造の薄膜トランジスタを例にして説明したが、例えば、逆スタガー構造など、他の構造の多結晶薄膜トランジスタを用いても略同様の効果が得られる。

#### 【0057】

ここで、上記図3（a）から図3（k）までの工程において、プロセスの最高

温度は、ゲート絶縁膜形成時の $600^{\circ}\text{C}$ なので、例えば、米国コーニング社の1737ガラスなどの高耐熱性ガラスを、絶縁性基板として使用できる。

#### 【0058】

このように、多結晶シリコン薄膜トランジスタを、 $600^{\circ}\text{C}$ 以下で形成することによって、絶縁基板として、安価で大面積のガラス基板を用いることができる。この結果、安価で表示面積の大きな画像表示装置を実現できる。

#### 【0059】

なお、画像表示装置が液晶表示装置の場合は、さらに、別の層間絶縁膜を介して、透過電極（透過型液晶表示装置の場合）や、反射電極（反射型液晶表示装置の場合）が形成される。

#### 【0060】

上記構成の画像表示装置が、例えば液晶表示装置である場合、上記画素は、例えば図5に示すように、スイッチング素子として、ゲートが走査信号線 $GL_j$ へ、ドレインがデータ信号線 $SL_i$ に接続された電界効果トランジスタ $SW(i, j)$ と、当該電界効果トランジスタ $SW(i, j)$ のソースに、一方電極が接続された画素容量 $C_p(i, j)$ とを備えている。また、画素容量 $C_p(i, j)$ の他端は、全画素 $P_{IX} \dots$ に共通の共通電極線に接続されている。上記画素容量 $C_p(i, j)$ は、液晶容量 $C_L(i, j)$ と、必要に応じて付加される補助容量 $C_s(i, j)$ とから構成されている。ここで、 $i$ は任意のデータ信号線 $SL_i$  ( $1 \leq i \leq m$ )に対応していることを示し、 $j$ は任意の走査信号線 $GL_j$  ( $1 \leq j \leq n$ )に対応していることを示している。

#### 【0061】

上記画素 $P_{IX}(i, j)$ において、走査信号線 $GL_j$ が選択されると、電界効果トランジスタ $SW(i, j)$ が導通し、データ信号線 $SL_i$ に印加された電圧が画素容量 $C_p(i, j)$ へ印加される。一方、当該走査信号線 $GL_j$ の選択期間が終了して、電界効果トランジスタ $SW(i, j)$ が遮断されている間、画素容量 $C_p(i, j)$ は、遮断時の電圧を保持し続ける。ここで、液晶の透過率あるいは反射率は、液晶容量 $C_L(i, j)$ に印加される電圧によって変化する。したがって、走査信号線 $GL_j$ を選択し、当該画素 $P_{IX}(i, j)$ への映像データ $D$ に応じた電圧をデータ

信号線  $SL_i$  へ印加すれば、当該画素  $PIX(i, j)$  の表示状態を、映像データ  $D$  に合わせて変化させることができる。

#### 【0062】

なお、上記では、液晶の場合を例にして説明したが、画素  $PIX(i, j)$  は、走査信号線  $GL_j$  に選択を示す信号が印加されている間に、データ信号線  $SL_i$  に印加された信号の値に応じて、画素  $PIX(i, j)$  の明るさを調整できれば、自発光か否かを問わず、他の構成の画素を使用できる。

#### 【0063】

上記構成において、図 2 に示す走査信号線駆動回路 4 は、各走査信号線  $GL_1 \sim GL_n$  へ、例えば、電圧信号など、選択期間か否かを示す信号を出力している。また、走査信号線駆動回路 4 は、選択期間を示す信号を出力する走査信号線  $GL_j$  を、例えば、制御回路 6 から与えられるクロック信号  $GCK$  やスタートパルス信号  $GSP$  などのタイミング信号に基づいて変更している。これにより、各走査信号線  $GL_1 \sim GL_n$  は、予め定められたタイミングで、順次選択される。

#### 【0064】

さらに、データ信号線駆動回路 3 は、映像信号  $DAT$  として、時分割で入力される各画素  $PIX \dots$  への映像データ  $D \dots$  を、所定のタイミングでサンプリングすることで、それぞれ抽出する。さらに、データ信号線駆動回路 3 は、走査信号線駆動回路 4 が選択中の走査信号線  $GL_j$  に対応する各画素  $PIX(1, j) \sim PIX(m, j)$  へ、各データ信号線  $SL_1 \sim SL_m$  を介して、それぞれへの映像データ  $D \dots$  に応じた出力信号を出力する。

#### 【0065】

なお、上記映像信号  $DAT$  は、予め定められた複数の解像度のいずれかであり、本実施形態では、いずれの解像度であるかを示す解像度切替信号（駆動切替制御信号）と共に、制御回路 6 から入力されている。また、データ信号線駆動回路 3 は、制御回路 6 から入力される、クロック信号  $SCK$  およびスタートパルス  $SSP$  などのタイミング信号に基づいて、上記サンプリングタイミングや出力信号の出力タイミングを決定している。

#### 【0066】

一方、各画素  $P I X(1, j) \sim P I X(m, j)$  は、自らに対応する走査信号線  $G L_j$  が選択されている間に、自らに対応するデータ信号線  $S L 1 \sim S L m$  に与えられた出力信号に応じて、発光する際の輝度や透過率などを調整して、自らの明るさを決定する。

#### 【0067】

ここで、走査信号線駆動回路 4 は、走査信号線  $G L 1 \sim G L n$  を順次選択している。したがって、画素アレイ 2 の全画素 1 を、それぞれへの映像データ  $D$  が示す明るさに設定でき、画素アレイ 2 へ表示される画像を更新できる。

#### 【0068】

また、データ信号線駆動回路 3 は、多相化された映像信号をそれぞれ独立した映像信号線に入力し、多相展開することによりデータ信号線  $S L$  を駆動し、高解像度と低解像度とのうちのいずれかの映像信号が供給される場合について説明する。なお、低解像度の場合、水平解像度が高解像度の場合の半分の映像信号が入力されるものとする。

#### 【0069】

上記データ信号線駆動回路 3 は、図 1 に示すように、2 相化された映像信号  $D A T 1$ 、 $D A T 2$  とを入力するための独立した 2 本の映像信号線 11、12 が設けられている。

#### 【0070】

上記映像信号  $D A T 1$  が入力される映像信号線 11 には、データ信号線  $S L 1$ 、 $S L 2$ 、 $S L 5$ 、 $S L 6$  のように、連続した 2 本のデータ信号線からなるデータ信号線群が、2 本とびに接続されている。ここでは、データ信号線  $S L 1$  と  $S L 2$  とで 1 つのデータ信号線群を形成し、データ信号線  $S L 5$  と  $S L 6$  とで 1 つのデータ信号線群を形成している。

#### 【0071】

また、上記映像信号  $D A T 2$  が入力される映像信号線 12 には、データ信号線  $S L 3$ 、 $S L 4$ 、 $S L 7$ 、 $S L 8$  のように、連続した 2 本のデータ信号線からなるデータ信号線群が、2 本とびに接続されている。ここでは、データ信号線  $S L 3$  と  $S L 4$  とで 1 つのデータ信号線群を形成し、データ信号線  $S L 7$  と  $S L 8$  と

で1つのデータ信号線群を形成している。

#### 【0072】

このように、上記データ信号線駆動回路3においては、データ信号線SLが映像信号線11と映像信号線12に対して2本ずつ互い違いに接続された構成となっている。

#### 【0073】

つまり、映像信号線11、12には、2本のデータ信号線が連続して接続されたデータ信号線群を、映像信号線数分集めて1ブロックとしている。ここでは、データ信号線SL1とSL2とで形成されたデータ信号線群とデータ信号線SL3とSL4とで形成されたデータ信号線群の2つのデータ信号線群で1ブロックとしている。

#### 【0074】

上記データ信号線SL1とSL3のスイッチング素子13には、波形整形回路SMP1からのサンプリングパルスが入力されるようになっている。データ信号線SL2とSL4のスイッチング素子13には、波形整形回路SMP2からのサンプリングパルスが入力されるようになっている。このように、同じ波形整形回路SMPでは、異なる映像信号線に接続されたデータ信号線のスイッチング素子13に入力されるようになっている。これにより、2本の映像信号線11、12に接続されたそれぞれのデータ信号線SLに対して同時に映像信号DAT1と映像信号DAT2とがサンプリングされる。

#### 【0075】

つまり、上記構成のデータ信号線駆動回路3では、ブロック単位で映像信号線からデータ信号線へ映像信号を取り込むようになっている。

#### 【0076】

上記波形整形回路SMPは、シフトレジスタSRに接続されており、該シフトレジスタSRの出力信号が入力されるようになっている。このシフトレジスタSRの出力信号は、データ信号線に対して映像信号を取り込むためのサンプリングパルスとなる信号である。つまり、シフトレジスタSRの出力信号は、波形整形回路SMPにて波形が整形されて、サンプリングパルスとなる。

**【0077】**

上記シフトレジスタSRは、複数段設けられており、それぞれSR1、SR2、…となっている。

**【0078】**

上記シフトレジスタSR1とSR2との間には、2つのスイッチング素子14、15が接続され、シフトレジスタSR2とSR3との間には、1つのスイッチング素子16が接続されている。このように、上記のスイッチング素子14、15とスイッチング素子16とは、隣接するシフトレジスタSRの間に交互に設けられている。

**【0079】**

上記スイッチング素子14とスイッチング素子15とのオン・オフは逆の関係になっている。すなわちスイッチング素子14がオンのときには、スイッチング素子15はオフになり、スイッチング素子14がオフのときには、スイッチング素子15はオンになる。また、上記スイッチング素子16は、スイッチング素子15と同じように、オン・オフするようになっている。

**【0080】**

ここで、スイッチング素子14をオンにしたとき、スイッチング素子15、16はオフになり、シフトレジスタSR1からの出力は、次段のシフトレジスタSR2を飛ばして、シフトレジスタSR3に入力され、そして、シフトレジスタSR3からの出力は、次段のシフトレジスタSR4を飛ばして、シフトレジスタSR5に入力される。このように、スイッチング素子14がオンした時には、シフトレジスタSR1からの出力は、1段飛ばして順に伝わるようになる。

**【0081】**

一方、スイッチング素子14をオフしたとき、スイッチング素子15、16はオンになり、シフトレジスタSR1からの出力は、次段のシフトレジスタSR2から順に伝わるようになる。

**【0082】**

上記のスイッチング素子14～16には、2値の駆動切替制御信号MSELが入力され、オン・オフが制御されるようになっている。

**【0083】**

また、シフトレジスタSR1、SR2と、波形整形回路SMP1、SMP2との間には、駆動切替回路17が設けられている。

**【0084】**

上記駆動切替回路17は、シフトレジスタSR1の出力信号O1を波形整形回路SMP1のみに供給したり、波形整形回路SMP1とSMP2の両方に供給したりするのを切り替えるようになっている。なお、駆動切替回路17は、シフトレジスタSR1の出力信号O1を波形整形回路SMP1のみに供給する場合、シフトレジスタSR2の出力信号O2を波形整形回路SMP2に供給するような状態になっている。

**【0085】**

シフトレジスタSR3、SR4と、波形整形回路SMP3、SMP4との間には、駆動切替回路17が設けられている。この場合にも、上述した、シフトレジスタSR1、SR2と、波形整形回路SMP1、SMP2との間に設けられた駆動切替回路17と同様の働きをする。

**【0086】**

すなわち、駆動切替回路17は、シフトレジスタSR3の出力信号O3を波形整形回路SMP3のみに供給したり、波形整形回路SMP3とSMP4の両方に供給したりするのを切り替えるようになっている。なお、駆動切替回路17は、シフトレジスタSR3の出力信号O3を波形整形回路SMP3のみに供給する場合、シフトレジスタSR4の出力信号O4を波形整形回路SMP4に供給するような状態になっている。

**【0087】**

上記駆動切替回路17は、上記駆動切替制御信号MSELによってオン・オフ状態の切替が制御される。この場合、駆動切替回路17がオン状態とは、シフトレジスタSR1の出力が2系統になる状態を示し、駆動切替回路17がオフ状態とは、シフトレジスタSR1の出力が1系統になる状態を示す。

**【0088】**

また、駆動切替回路17のオン・オフは、スイッチング素子14のオン・オフ

に連動している。つまり、スイッチング素子 14 がオンになるとき、駆動切替回路 17 はオン状態となり、スイッチング素子 14 がオフになるとき、駆動切替回路 17 はオフ状態となる。これにより、駆動切替回路 17 がオン状態のときには、スイッチング素子 15 と 16 とがオフ状態であるので、例えばシフトレジスタ SR 2 は駆動しないで停止状態となる。つまり、駆動切替回路は、駆動（作動）の必要のないシフトレジスタを停止させる停止手段としての機能を果たすようになっている。

#### 【0089】

このように、駆動切替回路 17 を用いることにより、シフトレジスタ SR 1、3、5、…、 $(2i-1)$ …では、出力を 1 系統にしたり 2 系統にしたりすることが可能となり、シフトレジスタ SR 2、4、…、 $2i$  では、駆動停止状態または駆動状態にしたりすることが可能となる。ここで、 $i$  は、 $1 \leq i \leq m/2$  の範囲の整数である。また、 $m$  は、データ信号線の本数を示す。

#### 【0090】

上記駆動切替制御信号 MSEL は、ハイレベルまたはローレベルを示す 2 値の信号であり、上述した制御回路 6 にて生成される。この駆動切替制御信号 MSEL は、上記データ信号線駆動回路 3 に入力される映像信号の解像度に応じてレベルが切り替えられている。なお、本実施の形態では、高解像度駆動時、すなわち画素アレイ 2 の画素数（解像度）と同じ解像度の映像信号がデータ信号線駆動回路 3 に入力される場合には、駆動切替制御信号 MSEL をローレベルになるように、また、低解像度駆動時、すなわち画素アレイ 2 の画素数（解像度）よりも低い解像度の映像信号がデータ信号線駆動回路 3 に入力される場合には、駆動切替制御信号 MSEL をハイレベルになるように切り替えられている。

#### 【0091】

従って、上記データ信号線駆動回路 3 は、高解像度駆動時には、駆動切替制御信号 MSEL がローレベルなので、スイッチング素子 14 がオフ状態となり、スイッチング素子 15、16 がオン状態となり、さらに、駆動切替回路 17 がオフ状態となる。これにより、全ての段のシフトレジスタ SR が作動し、各シフトレジスタ SR の出力信号がそれぞれに対応した波形整形回路 SMP に入力されるの



で、映像信号線 1 1 と映像信号線 1 2 とに接続されたデータ信号線 S L の 1 本ずつが同時に駆動される。

#### 【 0 0 9 2 】

また、上記データ信号線駆動回路 3 は、低解像度駆動時には、駆動切替制御信号 M S E L がハイレベルなので、スイッチング素子 1 4 がオン状態となり、スイッチング素子 1 5、1 6 がオフ状態となり、さらに、駆動切替回路 1 7 がオン状態となる。これにより、1 段置きにシフトレジスタ S R が作動し、一つのシフトレジスタ S R の出力信号が 2 つの波形整形回路 S M P に入力されるので、映像信号線 1 1 と映像信号線 1 2 とに接続されたデータ信号線 S L の 2 本ずつが同時に駆動される。

#### 【 0 0 9 3 】

従って、上記データ信号線駆動回路 3 を駆動切替制御信号 M S E L によって上述のように駆動制御することにより、見た目の水平解像度を、映像信号の水平解像度に合わせることができる。例えば、物理的な最大表示解像度が、例えば、U X G A ( Ultra-eXtended Graphics Array ) である画像表示装置に、S V G A ( Super Video Graphics Array ) の映像信号が示す映像を表示する場合など、入力される映像信号の水平解像度が、画像表示装置の水平方向における物理的な表示解像度の最大値よりも少ない場合であっても、高品位に映像を表示できる。

#### 【 0 0 9 4 】

以上のように、シフトレジスタ S R、駆動切替回路 1 7、波形整形回路 S M P は、異なる映像信号線に接続されたデータ信号線群を映像信号線数分集めて 1 ブロックとしたとき、該ブロック単位で、映像信号線からデータ信号線へ映像信号を取り込むための映像信号取込部を構成するものである。

#### 【 0 0 9 5 】

ここで、高解像度駆動時のデータ信号線駆動回路 3 の動作と、低解像度駆動時のデータ信号線駆動回路 3 の動作とについて以下に説明する。ここで、高解像度駆動を特許請求の範囲で記した第 1 駆動として、低解像度駆動を特許請求の範囲で記した第 2 駆動とする。

#### 【 0 0 9 6 】

まず、高解像度駆動時のデータ信号線駆動回路 3 の動作について、図 6 および図 7 を参照しながら説明する。図 6 は、データ信号線駆動回路 3 の概略ブロック図を示し、図 7 は、高解像度駆動時のデータ信号線駆動回路 3 における各種信号のタイミングチャートを示す。

#### 【0097】

ここで、データ信号線駆動回路 3 の映像信号線 11 に入力される映像信号 DATA1 および映像信号線 12 に入力される映像信号 DATA2 は、原信号であるデジタル映像信号 (DATA1、2、3、4、5、6、7、8、9、10、…) を、各 DATA の順番をサンプリングに適した順番に変更した後、アナログ信号に変換したものである。この映像信号 DATA1 および映像信号 DATA2 の詳細については、後述する。

#### 【0098】

高解像度駆動時には、図 7 に示すタイミングチャートのように、駆動切替制御信号 MSEL がローレベルとなるので、各スイッチング素子 14 と各駆動切替回路 17 とがオフ状態となり、各スイッチング素子 15、16 がオン状態となる。

#### 【0099】

これにより、まず、1 段目のシフトレジスタ SR1 がスタートパルス SSP およびクロック信号 SCK および SCKB (SCK の反転信号であり、図 7 では図示していない) によって駆動され、信号 O1 を出力する。この出力信号 O1 は、波形整形回路 SMP1 のみに出力され、この波形整形回路 SMP1 によって波形整形され、サンプリングパルス SMP1 として、データ信号線 SL1 とデータ信号線 SL3 の各スイッチング素子 13 に送られ、映像信号線 11 を流れる映像信号 DATA1 の DATA1 と映像信号線 12 を流れる映像信号 DATA2 の DATA3 とをサンプリングする。

#### 【0100】

続いて、次段のシフトレジスタ SR2 が駆動され、信号 O2 を出力する。この出力信号 O2 は、波形整形回路 SMP2 のみに出力され、この波形整形回路 SMP2 によって波形整形され、サンプリングパルス SMP2 として、データ信号線 SL2 とデータ信号線 SL4 の各スイッチング素子 13 に送られ、映像信号線 1

1 を流れる映像信号 DATA 1 の DATA 2 と映像信号線 12 を流れる映像信号 DATA 2 の DATA 4 とをサンプリングする。

【0101】

以下同様にして、シフトレジスタ SR が順次駆動され、図 6 に示す太線で囲まれた部分と、細線で囲まれた部分とが交互に駆動され、隣り合うデータ信号線 SL 同士は異なるタイミングでサンプリングされると共に、一つ置きのデータ信号線 SL 同士が同じタイミングでサンプリングされる。

【0102】

すなわち、図 7 に示すように、サンプリングパルス SMP 1 によって、データ信号線 SL 1 とデータ信号線 SL 3 とによって映像信号 DATA 1 (DATA 1) と映像信号 DATA 2 (DATA 3) とが同時にサンプリングされ、サンプリングパルス SMP 2 によって、データ信号線 SL 2 とデータ信号線 SL 4 とによって映像信号 DATA 1 (DATA 2) と映像信号 DATA 2 (DATA 4) とが同時にサンプリングされる。以下同様にして、映像信号 DATA 1 と映像信号 DATA 2 とがサンプリングされる。

【0103】

このように、高解像度駆動時には、データ信号線 SL 1 ないしデータ信号線 SL m の全てに異なる DATA が取り込まれることになり、画像表示装置における最大解像度（最大水平解像度）での表示が可能となる。

【0104】

続いて、低解像度駆動時のデータ信号線駆動回路 3 の動作について、図 8 および図 9 を参照しながら説明する。図 8 は、データ信号線駆動回路 3 の概略ブロック図を示し、図 9 は、低解像度駆動時のデータ信号線駆動回路 3 における各種信号のタイミングチャートを示す。

【0105】

ここで、データ信号線駆動回路 3 の映像信号線 11 に入力される映像信号 DATA 1 および映像信号線 12 に入力される映像信号 DATA 2 は、原信号であるデジタル映像信号 (DATA 1、2、3、4、5、6、7、8、9、10、...) を、各 DATA の順番をサンプリングに適した順番に変更した後、アナログ信号に変

換したものである。この映像信号DAT1および映像信号DAT2の詳細については、後述する。

#### 【0106】

低解像度駆動時には、図9に示すタイミングチャートのように、駆動切替制御信号MSELがハイレベルとなるので、各スイッチング素子14と各駆動切替回路17とがオン状態となり、各スイッチング素子15、16がオフ状態となる。

#### 【0107】

これにより、まず、1段目のシフトレジスタSR1がスタートパルスSSPおよびクロック信号SCKおよびSCKBによって駆動され、信号O1を出力する。この出力信号O1は、波形整形回路SMP1と波形整形回路SMP2とに出力され、この波形整形回路SMP1、SMP2によってそれぞれ波形整形され、サンプリングパルスSMP1、SMP2として、データ信号線SL1とデータ信号線SL3およびデータ信号線SL2とデータ信号線SL4の各スイッチング素子13に送られ、映像信号線11を流れる映像信号DAT1のDATA1と映像信号線12を流れる映像信号DAT2のDATA2とをサンプリングする。すなわち、4本のデータ信号線SLが同時に駆動される。

#### 【0108】

続いて、次段のシフトレジスタSR2を飛ばして、さらに次の段のシフトレジスタSR3が駆動され、信号O3を出力する。この出力信号O3は、波形整形回路SMP3と波形整形回路SMP4とに出力され、この波形整形回路SMP3、SMP4によって波形整形され、サンプリングパルスSMP3、SMP4として、データ信号線SL5とデータ信号線SL7およびデータ信号線SL6とデータ信号線SL8の各スイッチング素子13に送られ、映像信号線11を流れる映像信号DAT1のDATA3と映像信号線12を流れる映像信号DAT2のDATA4とをサンプリングする。この場合も、4本のデータ信号線SLが同時に駆動される。

#### 【0109】

以下同様にして、シフトレジスタSR4を飛ばして、シフトレジスタSR5が駆動されるように、1段置きにてシフトレジスタSRが駆動され、同一映像信号

線に連続して接続された、隣り合うデータ信号線 S L は同じタイミングでサンプリングされる。

#### 【0110】

すなわち、図 9 に示すように、サンプリングパルス S M P 1、S M P 2 によって、データ信号線 S L 1 とデータ信号線 S L 2 とによって映像信号 D A T 1 の D A T A 1 がサンプリングされると共に、データ信号線 S L 3 とデータ信号線 S L 4 とによって映像信号 D A T 2 の D A T A 2 がサンプリングされる。

#### 【0111】

このように、低解像度駆動時には、データ信号線 S L 1 ないしデータ信号線 S L m のうち、2 本ずつに同じ D A T A が取り込まれることになり、画像表示装置における最大解像度（最大水平解像度）の  $1/2$  の水平解像度の映像信号の表示が可能となる。

#### 【0112】

ここで、上記データ信号線駆動回路 3 に入力される映像信号 D A T 1 および映像信号 D A T 2 の生成について、図 10 (a) ~ (c) ないし図 12 を参照しながら以下に説明する。図 10 (a) は、デジタル映像信号を示し、図 10 (b) は、通常の 2 相展開したアナログ信号を示し、図 10 (c) は、本実施の形態にかかる 2 相展開したアナログ信号を示す図である。図 11 は、図 10 (b) に示すアナログ信号を生成するための回路の概略ブロック図を示し、図 12 は、図 10 (c) に示すアナログ信号を生成するための回路で概略ブロック図を示す。

#### 【0113】

まず、図 10 (a) に示すデジタル映像信号を図 10 (b) に示すアナログ映像信号に変換する場合について説明する。

#### 【0114】

上記の変換は、図 11 に示す第 1 変換回路 21 によって行なわれる。この第 1 変換回路 21 において、まず、デジタル映像信号の” 1、2、3、4、5、6、7、8 ” の 8 個の D A T A がメモリ 22 とメモリ 23 の何れかに格納される。例えば、選択パルス (1) がメモリ 22 に入力される毎に、該メモリ 22 には、D A T A 1、3、5、7 が順番に格納され、選択パルス (2) がメモリ 23 に入力

される毎に、該メモリ 23 には、DATA 2、4、6、8 が順番に格納される。

#### 【0115】

メモリ 22、23 に格納された DATA は、メモリ 24、25 に対して転送パルスが同時に入力される毎に、該メモリ 24、25 に順番に格納されると共に各メモリから同時に DATA が次段の DAC（デジタル／アナログ変換回路）26、27 にそれぞれ出力され、デジタル／アナログ変換されて、アナログ映像信号（1、3、5、7）が映像信号 DAT1 として、アナログ信号（2、4、6、8）が映像信号 DAT2 として出力される。

#### 【0116】

上記のようにして得られた映像信号 DAT1 および映像信号 DAT2 は、図 24 に示すタイミングチャートに示す映像信号 DAT1 と映像信号 DAT2 と同じである。

#### 【0117】

次に、図 10（a）に示すデジタル映像信号を図 10（c）に示すアナログ映像信号に変換する場合について説明する。

#### 【0118】

上記の変換は、図 12 に示す第 2 変換回路 31 によって行なわれる。この第 2 変換回路 31 には、最終段に、上記の第 1 変換回路 21 と同じ変換回路が設けられており、ここでの変換の説明は省略する。

#### 【0119】

上記第 2 変換回路 31 は、上記第 1 変換回路 21 の他に、2 つの一時記憶手段としてのメモリ 32、33 と、2 つのスイッチ手段 34、35 を備えている。

#### 【0120】

上記第 2 変換回路 31 において、まず、デジタル映像信号の” 1、2、3、4、5、6、7、8 ” の 8 個の DATA がスイッチ手段 34 を介して、メモリ 32、メモリ 33 とに振り分けられて格納される。そして、各メモリから所定の規則に沿ってスイッチ手段 35 を介して DATA が順次出力される。

#### 【0121】

このときの DATA は、” 1、3、2、4、5、7、6、8 ” となる。このよ

うな並びのDATAにするには、まず、スイッチ手段がメモリ32にDATAが格納できるように作動し、アドレス信号によって指示されたメモリ32内の格納位置(00、01、10、11)、それぞれに書き込み信号WEによって、DATA1、2、3、4が順次格納される。ここでは、00の位置にDATA1が格納され、01の位置にDATA2が格納され、10の位置にDATA3が格納され、11の位置にDATA4が格納される。

#### 【0122】

次に、スイッチ手段34がメモリ33にDATAが格納できるように作動し、アドレス信号によって指示されたメモリ33内の格納位置(00、01、10、11)、それぞれに書き込み信号WEによって、DATA5、6、7、8が順次格納される。ここでは、00の位置にDATA5が格納され、01の位置にDATA6が格納され、02の位置にDATA7が格納され、11の位置にDATA8が格納される。

#### 【0123】

続いて、スイッチ手段35がメモリ32に格納されたDATAを読み出せるように作動し、アドレス信号によって指示されたメモリ32内の格納位置から、それぞれ読み出し信号REによって、DATA1、3、2、4という順番でDATAが読み出される。

#### 【0124】

その後、スイッチ手段35がメモリ33に格納されたDATAを読み出せるように作動し、アドレス信号によって指示されたメモリ33内の格納位置から、それぞれ読み出し信号REによって、DATA5、7、6、8という順番でDATAが読み出される。

#### 【0125】

これにより、スイッチ手段35を介して出力されるデジタル映像信号は、DATA1、3、2、4、5、7、6、8の並びで第1変換回路21に出力される。この第1変換回路では、順番に並んだDATAを一つずつ異なる映像信号として出力するようになっているので、該第1変換回路21から出力されるアナログ映像信号は、DATA1、2、5、6の映像信号DAT1と、DATA3、4、7

、8の映像信号DAT2となる。

【0126】

上記のようにして得られた映像信号DAT1およびDAT2は、図7に示すタイミングチャートに示す映像信号DAT1と映像信号DAT2として用いることができる。尚、図9に示すタイミングチャートに示す映像信号DAT1と映像信号DAT2を得るためには、上記第2変換回路31において、デジタル映像信号をメモリ32および33に格納させずに上記第1変換回路21に直接入力させれば良い。

【0127】

上記の構成のデータ信号線駆動回路3では、画像表示装置の最大解像度（最大水平解像度）よりも低い解像度の映像信号が入力された場合に、従来のデータ信号線駆動回路に比べて、消費電力を削減できる。これについて、以下に説明する。

【0128】

本実施の形態にかかるデータ信号線駆動回路3では、高解像度駆動時には、図6および図7に示すように、2相化された映像信号（映像信号DAT1、映像信号DAT2）が入力され、2相展開してデータ信号線SLに映像信号を取込み出力するようになっているので、2相化していない映像信号（単相の映像信号）を読み込み出力する場合に比べて、映像信号の周波数を2分の1にすることができる。これにより、映像信号を高速でサンプリングする必要がなくなるので、シフトレジスタSRの動作速度を低くすることが可能となり、結果として、データ信号線駆動回路の消費電力の低減を図ることができる。この点については、図2322に示す従来のデータ信号線駆動回路においても、高解像度駆動時には単相の映像信号を用いたデータ信号線駆動回路よりも消費電力を低減できる。

【0129】

また、低解像度駆動時には、図8および図9に示すように、高解像度駆動時と同様に、2相化された映像信号（映像信号DAT1、映像信号DAT2）が入力され、2相展開してデータ信号線SLに映像信号を取込み出力するようになっている一方、隣り合うデータ信号線SLが同じタイミングで同じ映像信号をサンプ



リングするようになるので、映像信号の周波数は高解像度駆動時の2分の1となる。これにより、さらに、映像信号を高速でサンプリングする必要がなくなるので、シフトレジスタSRの動作速度を低くすることが可能となり、結果として、高解像度駆動時より大幅にデータ信号線駆動回路3の消費電力を低減させることができる。

#### 【0130】

さらに、本実施の形態のデータ信号線駆動回路3では、低解像度駆動時には、シフトレジスタSRが1段置きに作動するように制御されているので、高解像度駆動時の半分のシフトレジスタSRが動作しているだけなので、高解像度駆動時に比べて、該データ信号線駆動回路3における消費電力をさらに低減することができる。

#### 【0131】

しかも、上記構成をとることにより、解像度切替機能が実現できるだけでなく、高解像度駆動時の場合、従来のデータ信号線駆動回路では、ブロック単位で映像信号をデータ信号線に取り込む構成をとった場合、ブロックの端部分と真中部分のデータ信号線に対する、隣接するデータ信号線の影響が異なるため、ブロックの端部分に表示上で縞が発生し表示品位を悪くしてしまうという問題があるが、上記構成の場合、ブロック全域におけるデータ信号線に対しての隣接するデータ信号線の影響を均一化できるため表示品位の劣化を抑えることもできる。

#### 【0132】

ところで、上記の構成のデータ信号線駆動回路3では、低解像度駆動時にシフトレジスタSRを1段置きに作動させるために、スイッチング素子14～16を設けている。これらスイッチング素子は、通常、トランジスタで構成されているので、データ信号線駆動回路全体でのトランジスタ数が非常に多くなり、この結果、回路の大型化を招く虞がある。

#### 【0133】

そこで、以下の実施の形態2では、消費電力については、前記実施の形態1よりも低減させることはできないが、設けるトランジスタの数を減らして、回路の小型化が可能なデータ信号線駆動回路について説明する。

## 【0134】

## 〔実施の形態2〕

本発明の他の実施の形態について説明すれば、以下の通りである。なお、本実施の形態では、前記実施の形態と同一機能を有する部材には、同一符号を付記し、その説明は省略する。

## 【0135】

本実施の形態に係る画像表示装置は、前記実施の形態1の図2に示す画像表示装置と同じであり、異なるのは、データ信号線駆動回路3に代えて、図13に示すデータ信号線駆動回路43を備えている点である。

## 【0136】

上記データ信号線駆動回路43は、前記実施の形態1のデータ信号線駆動回路3に比べて、シフトレジスタSR間にスイッチング素子が設けられていない構成となっている。したがって、データ信号線駆動回路43では、データ信号線駆動回路3に比べてスイッチング素子を構成するトランジスタの分だけ、回路規模を小さくすることができる。

## 【0137】

上記データ信号線駆動回路43には、データ信号線駆動回路3と同様に、駆動切替回路17が設けられており、駆動切替制御信号MSELによってオン・オフ状態が制御されている。すなわち、駆動切替回路17がオン状態のとき、シフトレジスタSR1の出力信号O1は、波形整形回路SMP1と波形整形回路SMP2とに入力されるようになり、シフトレジスタSR2の出力信号O2が波形整形回路SMP2に出力できないようになっている。また、駆動切替回路17がオフ状態のとき、シフトレジスタSR1の出力信号O1は、波形整形回路SMP1のみに出力され、シフトレジスタSR2の出力信号O2は、波形整形回路SMP2に出力されるようになる。シフトレジスタSR3とシフトレジスタSR4との間の関係も、シフトレジスタSR1とシフトレジスタSR2と同様に駆動切替回路17のオン・オフ状態によって、シフトレジスタSRからの出力信号の出力先が決定される。

## 【0138】

ここで、高解像度駆動時のデータ信号線駆動回路 43 の動作と、低解像度駆動時のデータ信号線駆動回路 43 の動作とについて以下に説明する。

#### 【0139】

まず、高解像度駆動時のデータ信号線駆動回路 43 の動作について、図 14 および図 15 を参照しながら説明する。図 14 は、データ信号線駆動回路 43 の概略ブロック図を示し、図 15 は、高解像度駆動時のデータ信号線駆動回路 43 における各種信号のタイミングチャートを示す。

#### 【0140】

ここで、データ信号線駆動回路 43 の映像信号線 11 に入力される映像信号 DATA1 および映像信号線 12 に入力される映像信号 DATA2 は、原信号であるデジタル映像信号 (DATA1、2、3、4、5、6、7、8、9、10、…) を、各 DATA の順番をサンプリングに適した順番に変更した後、アナログ信号に変換したものである。この映像信号 DATA1 および映像信号 DATA2 の詳細については、実施の形態 1 と同様なものである。

#### 【0141】

高解像度駆動時には、図 15 に示すタイミングチャートのように、駆動切替制御信号 MSEL がローレベルとなるので、駆動切替回路 17 がオフ状態となり、図 14 に示すように、各シフトレジスタ SR からの出力信号は、それぞれに対応した波形整形回路 SMP のみに出力されるようになる。例えば、シフトレジスタ SR1 の出力信号 O1 は、波形整形回路 SMP1 のみに出力され、シフトレジスタ SR2 の出力信号 O2 は、波形整形回路 SMP2 に出力され、シフトレジスタ SR3 の出力信号 O3 は、波形整形回路 SMP3 のみに出力され、シフトレジスタ SR4 の出力信号 O4 は、波形整形回路 SMP4 に出力される。

#### 【0142】

このようにして、シフトレジスタ SR が順次駆動されることで、波形整形回路 SMP1 も順次駆動され、データ信号線 SL が一つ置きに同時に駆動されるようになる。例えば、図 14 において、シフトレジスタ SR1 が駆動されると波形整形回路 SMP1 からサンプリングパルスがデータ信号線 SL1 とデータ信号線 SL3 の各スイッチング素子 13 に入力され、該データ信号線 SL1 と SL3 とが

同時に駆動される。このとき、データ信号線 S L 1 には、映像信号線 1 1 を流れる映像信号 D A T 1 が取り込まれ、データ信号線 S L 3 には、映像信号線 1 2 を流れる映像信号 D A T 2 が取り込まれる。続いて、シフトレジスタ S R 2 が駆動されると波形整形回路 S M P 2 からサンプリングパルスがデータ信号線 S L 2 とデータ信号線 S L 4 の各スイッチング素子 1 3 に入力され、該データ信号線 S L 2 と S L 4 とが同時に駆動される。

#### 【0143】

つまり、1 段目のシフトレジスタ S R 1 がスタートパルス S S P およびクロック信号 S C K および S C K B ( S C K の反転信号であり、図 1 5 では図示していない) によって駆動され、信号 O 1 を出力する。この出力信号 O 1 は、波形整形回路 S M P 1 のみに出力され、この波形整形回路 S M P 1 によって波形整形され、サンプリングパルス S M P 1 として、データ信号線 S L 1 とデータ信号線 S L 3 の各スイッチング素子 1 3 に送られ、映像信号線 1 1 を流れる映像信号 D A T 1 の D A T A 1 と映像信号線 1 2 を流れる映像信号 D A T 2 の D A T A 3 とをサンプリングする。

#### 【0144】

続いて、次段のシフトレジスタ S R 2 が駆動され、信号 O 2 を出力する。この出力信号 O 2 は、波形整形回路 S M P 2 のみに出力され、この波形整形回路 S M P 2 によって波形整形され、サンプリングパルス S M P 2 として、データ信号線 S L 2 とデータ信号線 S L 4 の各スイッチング素子 1 3 に送られ、映像信号線 1 1 を流れる映像信号 D A T 1 の D A T A 2 と映像信号線 1 2 を流れる映像信号 D A T 2 の D A T A 4 とをサンプリングする。

#### 【0145】

以下同様にして、シフトレジスタ S R が順次駆動され、図 1 4 に示す太線で囲まれた部分と、細線で囲まれた部分とが交互に駆動され、隣り合うデータ信号線 S L 同士は異なるタイミングでサンプリングされると共に、一つ置きのデータ信号線 S L 同士が同じタイミングでサンプリングされる。

#### 【0146】

すなわち、図 1 5 に示すように、サンプリングパルス S M P 1 によって、デー

タ信号線 S L 1 とデータ信号線 S L 3 とによって映像信号 D A T 1 ( D A T A 1 ) と映像信号 D A T 2 ( D A T A 3 ) とが同時にサンプリングされ、サンプリングパルス S M P 2 によって、データ信号線 S L 2 とデータ信号線 S L 4 とによって映像信号 D A T 1 ( D A T A 2 ) と映像信号 D A T 2 ( D A T A 4 ) とが同時にサンプリングされる。以下同様にして、映像信号 D A T 1 と映像信号 D A T 2 とがサンプリングされる。

#### 【0147】

このように、高解像度駆動時には、データ信号線 S L 1 ないしデータ信号線 S L m の全てに異なる D A T A が取り込まれることになり、画像表示装置における最大解像度（最大水平解像度）での表示が可能となる。

#### 【0148】

続いて、低解像度駆動時のデータ信号線駆動回路 4 3 の動作について、図 1 6 および図 1 7 を参照しながら説明する。図 1 6 は、データ信号線駆動回路 4 3 の概略ブロック図を示し、図 1 7 は、低解像度駆動時のデータ信号線駆動回路 4 3 における各種信号のタイミングチャートを示す。

#### 【0149】

ここで、データ信号線駆動回路 4 3 の映像信号線 1 1 に入力される映像信号 D A T 1 および映像信号線 1 2 に入力される映像信号 D A T 2 は、原信号であるデジタル映像信号 ( D A T A 1、2、3、4、5、6、7、8、9、10、… ) を、各 D A T A の順番をサンプリングに適した順番に変更した後、アナログ信号に変換したものである。この映像信号 D A T 1 および映像信号 D A T 2 の詳細については、実施の形態 1 と同様なものである。

#### 【0150】

低解像度駆動時には、図 1 7 に示すタイミングチャートのように、駆動切替制御信号 M S E L がハイレベルとなるので、各駆動切替回路 1 7 がオン状態となる。

#### 【0151】

これにより、まず、1 段目のシフトレジスタ S R 1 がスタートパルス S S P およびクロック信号 S C K および S C K B によって駆動され、信号 O 1 を出力する

。この出力信号 O 1 は、波形整形回路 S M P 1 と波形整形回路 S M P 2 とに出力され、この波形整形回路 S M P 1、S M P 2 によってそれぞれ波形整形され、サンプリングパルス S M P 1、S M P 2 として、データ信号線 S L 1 とデータ信号線 S L 3 およびデータ信号線 S L 2 とデータ信号線 S L 4 の各スイッチング素子 1 3 に送られ、映像信号線 1 1 を流れる映像信号 D A T 1 の D A T A 1 と映像信号線 1 2 を流れる映像信号 D A T 2 の D A T A 2 とをサンプリングする。すなわち、4 本のデータ信号線 S L が同時に駆動される。

#### 【0152】

続いて、次段のシフトレジスタ S R 2 が駆動され、出力信号 O 2 を出力する。しかし、低解像度駆動時には、該信号 O 2 は波形整形回路 S M P 2 からは切り離されているため、映像信号のサンプリングには寄与しない。さらに次の段のシフトレジスタ S R 3 が駆動され、信号 O 3 を出力する。この出力信号 O 3 は、波形整形回路 S M P 3 と波形整形回路 S M P 4 とに出力され、この波形整形回路 S M P 3、S M P 4 によって波形整形され、サンプリングパルス S M P 3、S M P 4 として、データ信号線 S L 5 とデータ信号線 S L 7 およびデータ信号線 S L 6 とデータ信号線 S L 8 の各スイッチング素子 1 3 に送られ、映像信号線 1 1 を流れる映像信号 D A T 1 の D A T A 3 と映像信号線 1 2 を流れる映像信号 D A T 2 の D A T A 4 とをサンプリングする。この場合も、4 本のデータ信号線 S L が同時に駆動される。

#### 【0153】

以下同様にして、シフトレジスタ S R 4、S R 5 と駆動され、出力信号 O 5 によってサンプリングパルス S M P 5、S M P 6 が生成されるように、1 段置き of 出力信号によって、同一映像信号線に連続して接続された、隣り合うデータ信号線 S L は同じタイミングでサンプリングされる。

#### 【0154】

すなわち、図 17 に示すように、サンプリングパルス S M P 1、S M P 2 によって、データ信号線 S L 1 とデータ信号線 S L 2 とによって映像信号 D A T 1 の D A T A 1 がサンプリングされると共に、データ信号線 S L 3 とデータ信号線 S L 4 とによって映像信号 D A T 2 の D A T A 2 がサンプリングされる。

## 【0155】

このように、低解像度駆動時には、データ信号線SL1ないしデータ信号線SLmのうち、2本ずつに同じDATAが取り込まれることになり、画像表示装置における最大解像度（最大水平解像度）の1/2の水平解像度の映像信号の表示が可能となる。

## 【0156】

なお、上記データ信号線駆動回路43において、低解像度駆動時に、各シフトレジスタSRは、1段置きに波形整形回路SMPに出力信号を供給するようになっているが、波形整形回路SMPに出力信号を供給しないシフトレジスタSRは動作を停止していない。したがって、本実施の形態にかかるデータ信号線駆動回路43は、前記実施の形態1のデータ信号線駆動回路3よりも低解像度駆動時の消費電力を低減できるものではない。しかしながら、データ信号線駆動回路43では、データ信号線駆動回路3と同様に、低解像度駆動時においても2相展開が行なわれている一方、隣り合うデータ信号線SLが同じタイミングで同じ映像信号をサンプリングするようになるので、高解像度駆動時に比べて消費電力の低減を図ることができる。

## 【0157】

上記の説明では、高解像度の映像信号を高解像度の表示装置に入力して表示させる場合と、低解像度の映像信号を高解像度の表示装置に入力して適切に表示させる場合とについて説明したが、以下では、高解像度の映像信号を低解像度の映像信号を表示させる低解像度表示モードで表示装置に表示させる例について説明する。

## 【0158】

この場合、駆動切替制御信号MSELは、ハイレベルとなり、データ信号線駆動回路は、低解像度表示モードとなる。しかしながら、入力される映像信号が高解像度であり、映像信号DAT1、DAT2とをそれぞれ連続して入力するようになっているので、各映像信号DAT1、DAT2は、図18に示すように、一つ置きに選択される。

## 【0159】

このように、高解像度の映像信号を低解像度の表示モードで動作するデータ信号線駆動回路に入力することで、データ信号線駆動回路の外部において高解像度の映像信号を低解像度の映像信号に変換する必要がなくなるので、回路規模を小さくできると共に、低解像度化に伴う消費電力の低減を図ることができる。

#### 【0 1 6 0】

本実施の形態にかかるデータ信号線駆動回路によれば、高解像度駆動時と低解像度駆動時との切替に必要な回路構成が従来のものとほとんど同じでよく、データ信号線と映像信号線との接続状態が異なるだけでよいので、回路規模を大きくすることなく、高解像度駆動時はもとより低解像度駆動時においても多相展開を行うことができる。これにより、従来のデータ信号線駆動回路に比べて消費電力の低減を図ることができる。

#### 【0 1 6 1】

ここで、前記実施の形態 1 のデータ信号線駆動回路（図 1）と、前記実施の形態 2 のデータ信号線駆動回路（図 1 3）と、従来のデータ信号線駆動回路（図 2 2）との周波数の差異について、以下に示す表 1 を参照しながら以下に説明する。

#### 【0 1 6 2】

なお、何れのデータ信号線駆動回路においても、2 相展開した場合を想定したものとする。また、何れのデータ信号線駆動回路においても高解像度駆動時には、ドット周波数比、すなわち映像信号の周波数は、相展開の数分の 1 にすることができるので、高解像度駆動時におけるドット周波数比を 1 とする。

#### 【0 1 6 3】



【表 1】

構成	高解像度		低解像度		消費電力比※
	展開相数	ドット周波数比	展開相数	ドット周波数比	
図1	2	1	2	1/2	大
図13	2	1	2	1/2(1)	中(1)
図22	2	1	1	1	1

※(高解像度消費電力)/(低解像度消費電力)

【0 1 6 4】

表 1 からわかるように、データ信号線駆動回路での消費電力比に差が生じた。  
ここでの消費電力比とは、高解像度駆動時の消費電力／低解像度駆動時の消費電力を示す。

【0 1 6 5】

図 1 に示すデータ信号線駆動回路では、低解像度駆動時において、相展開を行  
いがら隣接する 2 本のデータ信号線に同じ映像信号を流すようになっているので

、ドット周波数比は、高解像度駆動時の  $1/2$  となる。つまり、低解像度駆動時の映像信号の周波数は、高解像度駆動時の映像信号の周波数の  $1/2$  となる。

#### 【0166】

図13に示すデータ信号線駆動回路では、低解像度駆動時において、相展開を行いながら隣接する2本のデータ信号線に同じ映像信号を流すようになっているので、図1に示すデータ信号線駆動回路と同様に、ドット周波数比は、高解像度駆動時の  $1/2$  となる。つまり、低解像度駆動時の映像信号の周波数は、高解像度駆動時の映像信号の周波数の  $1/2$  となる。しかしながら、図17に示すように、図13に示すデータ信号線駆動回路では、低解像度駆動時においては、高解像度駆動時と同じように、全段のシフトレジスタが動作しており、停止していない。このため、図1に示すデータ信号線駆動回路に比べて消費電力が多くなる。つまり、図1に示すデータ信号線駆動回路に比べて消費電力比は小さくなる。

#### 【0167】

また、図13に示すデータ信号線駆動回路では、高解像度の映像信号を低解像度駆動時の表示モードで表示させる場合には、当然、高解像度駆動時のドット周波数比と同じになる。

#### 【0168】

上記2つのデータ信号線駆動回路に対して、図22に示すデータ信号線駆動回路では、低解像度駆動時には、図25に示すように、2本の映像信号線に同じ映像信号を流す必要があるので、2相展開できない。このため、ドット周波数比を大きくすることができず、高解像度駆動時と同じになるので、消費電力比は、高解像度駆動時と同じになる。

#### 【0169】

以上のことから、本発明のデータ信号線駆動回路によれば、高解像度駆動時よりも低解像度駆動時のほうが消費電力が少なくて済むようにすることができる。

#### 【0170】

##### 〔実施の形態3〕

前記各実施の形態では、モノクロ表示の場合を想定したデータ信号線駆動回路について説明したが、これに限定されるものではなく、複数のカラー信号を含む

映像信号によるカラー表示、例えばRGBの3色によるカラー表示の場合のデータ信号線駆動回路にも適用できる。

#### 【0171】

ここで、カラー表示に適用した場合のデータ信号線の構成について、図19および図20を参照しながら以下に説明する。図19は、本発明を適用したデータ信号線駆動回路の要部のブロック図を示し、図20は、従来のデータ信号線駆動回路の要部のブロック図を示す。

#### 【0172】

本発明を適用したデータ信号線駆動回路では、図19に示すように、3色（例えば、RGB）のそれぞれの映像データを出力する3本のデータ信号線を1組とし、隣り合う2組のデータ信号線において、第1色（例えば赤色）用の映像データを出力するデータ信号線同士は同じ第1色用の映像信号線、第2色（例えば緑色）用の映像データを出力するデータ信号線同士は同じ第2色用の映像信号線、第3色（例えば青色）用の映像データを出力するデータ信号線同士は同じ第3色用の映像信号線に接続されている。この場合、2相展開なので、連続した2組の3色のそれぞれの映像データを出力するデータ信号線が、2組とびに同じ映像信号線に接続されている。

#### 【0173】

ここでは、2相展開なので、前記実施の形態1と同様に、図1に示す映像信号DAT1、DAT2が2本の映像信号線に入力されることになる。しかしながら、本実施の形態においては、RGBの3つのカラー信号を有する映像信号を対象にしているため、図19に示すように、映像信号線は、3つのカラー信号に対応して3つに分割された構成となっている。この分割された映像信号線を、以下、分割映像信号線と称する。

#### 【0174】

すなわち、上記映像信号DAT1は、RD1、GD1、BD1の3つのカラー信号を含み、上記映像信号DAT2は、RD2、GD2、BD2の3つのカラー信号を含む。これにより、各カラー信号は、それぞれに対応した分割映像信号線に入力されるようになっている。ここで、映像信号DAT1のカラー信号RD1

は、分割映像信号線 11r に入力され、カラー信号 GD1 は、分割映像信号線 11g に入力され、カラー信号 BD1 は、分割映像信号線 11b に入力される。また、映像信号 DAT2 のカラー信号 RD2 は、分割映像信号線 12r に入力され、カラー信号 GD2 は、分割映像信号線 12g に入力され、カラー信号 BD2 は、分割映像信号線 12b に入力される。

#### 【0175】

したがって、本実施の形態におけるデータ信号線駆動回路は、各分割映像信号線に所定本数のデータ信号線がカラー信号毎に連続して接続されてデータ信号線群を形成し、このデータ信号線群を映像信号線数分集めて 1 ブロックとし、前記実施の形態 1 と同様に、ブロック単位で映像信号線からデータ信号線へ映像信号を取り込む映像信号取込部（波形成形回路 SMP1 等）を有した構成となっている。

#### 【0176】

図 19 では、映像信号 DAT1 の各カラー信号が入力される分割映像信号線の 1 つである分割映像信号線 11r には、データ信号線 RSL1、RSL2 が接続され、また、分割映像信号線 11g には、データ信号線 GSL1、GSL2 が接続され、さらに、分割映像信号線 11b には、データ信号線 BGL1、BGL2 が接続され、これら 6 本のデータ信号線でデータ信号線群を形成している。

#### 【0177】

また、映像信号 DAT2 の各カラー信号が入力される分割映像信号線の 1 つである分割映像信号線 12r には、データ信号線 RSL3、RSL4 が接続され、また、分割映像信号線 12g には、データ信号線 GSL3、GSL4 が接続され、さらに、分割映像信号線 12b には、データ信号線 BGL3、BGL4 が接続され、これら 6 本のデータ信号線でデータ信号線群を形成している。

#### 【0178】

上記の 2 つのデータ信号線群を 1 ブロックと考える。ここで、映像信号の種類数分（映像信号 DAT1、DAT2 の 2 種類分）、すなわち 2 組の 3 色のデータ信号線群を映像入力の単位を示す 1 ブロックとしている。

#### 【0179】

したがって、この 2 組の 3 色のデータ信号線群それぞれに属するそれぞれの映像データを出力するデータ信号線は、異なる波形整形回路からの信号によって映像信号を取り込むようになっている。ここで、図 19 に示すデータ信号線駆動回路の基本的な動作は、データ信号線駆動回路 3、43 と同様なものであるため、その説明を省略する。

#### 【0180】

これに対して、従来のデータ信号線駆動回路では、図 20 に示すように、3 色（例えば、RGB）のそれぞれの映像データを出力する 3 本のデータ信号線を 1 組とし、隣り合う 2 組のデータ信号線において、第 1 色（例えば赤色）用の映像データを出力するデータ信号線同士は異なる第 1 色用の映像信号線、第 2 色（例えば緑色）用の映像データを出力するデータ信号線同士は異なる第 2 色用の映像信号線、第 3 色（例えば青色）用の映像データを出力するデータ信号線同士は異なる第 3 色用の映像信号線に接続されている。この場合、2 相展開なので、連続した 2 組の 3 色のそれぞれの映像データを出力するデータ信号線が異なる映像信号線に接続されている。ここで、図 20 に示すデータ信号線駆動回路の基本的な動作は、図 22 に示すデータ信号線駆動回路と同様なものであるため、その説明を省略する。

#### 【0181】

従って、図 19 に示すデータ信号線駆動回路の場合には、図 20 に示すデータ信号線駆動回路とは異なり、低解像度駆動時においても 2 相展開が行なわれている一方、隣り合う 2 組のデータ信号線が同じタイミングで同じ映像信号をサンプリングするようになるので、高解像度駆動時に比べて映像信号の周波数を低くすることができる。

#### 【0182】

また、シフトレジスタと波形整形回路との関係を、図 1 に示すデータ信号線駆動回路のようにすれば、低解像度駆動時には、必要なシフトレジスタのみを作動させることができるので、より消費電力の低減を図ることができる。

#### 【0183】

以上のように、映像信号が、モノクロの場合であっても、カラーの場合であっ

ても、本発明の構成であれば、高解像度駆動時に比べて低解像度駆動時の消費電力の低減を図ることができる。

#### 【0184】

ここで、上記の実施の形態3では、映像信号として3色のカラー映像信号を用いた場合について説明したが、この3色のカラー映像信号は、赤・緑・青の3色に限らず、例えば、シラン・マゼンダ・イエローでも構わないし、4色のカラー映像信号であっても、それ以上のカラー映像信号であっても構わない。

#### 【0185】

なお、上記の各実施の形態では、映像信号を2相展開した場合について説明したが、3相展開であっても、それ以上の多相展開であっても同様に実現することが可能である。

#### 【0186】

また、データ信号線の分岐数、つまり、データ信号線群の本数を2本としているが、3本、あるいはそれ以上であってもかまわない。例えば、3本であれば、解像度を表示部の有する最大解像度（高解像度）の3分の1にすることができる。

#### 【0187】

また、上記の各実施の形態では、アナログ映像信号をサンプリングする場合について説明したが、それに限定されず、デジタル映像信号をサンプリングし、そのサンプリングの後にアナログ映像信号に変換する場合にも適用することが可能である。その場合でも、多相化されたデジタル映像信号を複数の映像信号線を通して各列毎にサンプリングし、そのサンプリングしたデジタル映像信号をアナログ映像信号に変換して複数のデータ信号線に取り込んでいるため、特許請求の範囲に記した、多相化された映像信号を複数の映像信号線を通して複数のデータ信号線に取り込むように各データ信号線を駆動することを行っていることに含まれる。

#### 【0188】

また、表示部において、データ信号線駆動回路の解像度変換について説明したが、本来は、走査信号線駆動回路においても解像度変換の処理がなされている。

例えば、高解像度駆動時の 2 分の 1 の解像度（低解像度）の映像信号を表示部に表示させる場合には、データ信号線を 2 本ずつ選択するように、走査信号線かも 2 本ずつ選択するように走査信号線駆動回路において制御されている。

#### 【0189】

このようにして、データ信号線駆動回路において 2 分の 1 の解像度に変換された映像信号は、走査信号線においても 2 分の 1 の解像度に変換されるので、表示画像としては高解像度時の 4 分の 1 の解像度の画像となる。

#### 【0190】

なお、上記の各実施の形態では、いずれも特許請求の範囲で記した、多相化された映像信号を複数の映像信号線を通して複数のデータ信号線に取り込むように各データ信号線を駆動することを行っており、さらに、各映像信号線には、所定本数連続して接続されたデータ信号線からデータ信号線群が形成され、異なる映像信号線に形成されたデータ信号線群を映像信号線数分集めて 1 ブロックとしたとき、該ブロック単位で、映像信号からデータ信号線へ映像信号を取り込むことを行なっている。特に、上記の実施の形態 3 について説明すると、多相化された映像信号として、3 色のカラー映像信号のそれぞれが 2 相化された映像信号となり、そのうちの 1 色のカラー映像信号の 2 相化された映像信号をみると、その 2 相化された映像信号を 2 本の映像信号線を通して複数のデータ信号線に取り込んでおり、1 本の映像信号線に（その色データを出力するためのデータ信号線のうち）2 本連続して接続されたデータ信号線からデータ信号線群が形成され、2 本の映像信号線に形成されたデータ信号線群を 2 本の映像信号線分集めて 1 ブロックとしたとき、そのブロック単位で、映像信号線からデータ信号線へ映像信号を取り込むことを行っている。以上のことを他の 2 色のカラー映像信号に対しても行っており、上記の実施の形態 3 に関して、さらに特許請求の範囲を限定的に記すと、上記ブロック内のデータ信号線群は、データ信号線に取り込む映像信号に含まれる色数を 1 セットしたデータ信号線を所定セット数集めたものであるということになる。

#### 【0191】

本発明のデータ信号線駆動回路を備えた画像表示装置は、マトリクス状に配置

された複数の画素と該画素の各列に配置された複数のデータ信号線及び該画素の各行に対応して配置された複数の走査信号線と各走査信号線に供給される走査信号に同期して各データ信号線から各画素に画像表示のための映像信号を取りこみ保持する表示部と、該複数のデータ信号線に所定のタイミング信号に同期して、映像信号を出力するデータ信号線駆動回路と該複数の走査信号線に所定のタイミング信号に同期して走査信号を出力する走査信号線駆動回路を備え、映像信号が多相化されて各々が独立の映像信号線を通して供給されるマトリクス型画像表示装置において、前記データ信号線駆動回路は、表示する画像の水平解像度を該データ信号線駆動回路内にて変化させることができることを特徴とするものであってもよい。

#### 【0192】

この場合、上記特徴を備えることにより、使用状況に応じた解像度表示が可能となる汎用性の高いパネルが低コストにて得られる。

#### 【0193】

また、上記画像表示装置において、上記データ信号線駆動回路は、多相化された映像信号をブロック単位で各映像信号線からデータ信号線へデータを取り込み、かつ、そのブロック内では、隣り合う複数の信号線からなる信号線セットもしくは個々の信号線と、隣接する前記信号線セットもしくは個々の信号線が異なるタイミングで駆動することができるようにしてもよい。

#### 【0194】

この場合、上記構成をとることにより、解像度切替機能の実現できる。また、通常、高解像度駆動時にブロック単位で映像信号をデータ信号線に取り込む構成をとった場合、ブロックの端部分と真中部分のデータ信号線に対する、隣接するデータ信号線の影響が異なるため、ブロックの端部分に表示上で縞が発生し表示品位を悪くしてしまうという問題があるが、上記構成の場合、ブロック全域における信号線または信号線セットに対しての隣接する信号線または信号線セットの影響を均一化できるため表示品位の劣化を抑えることもできる。

#### 【0195】

さらに、上記画像表示装置において、上記データ信号線駆動回路は、ブロック



単位で各映像信号線からデータ信号線へデータを取り込み、かつ、そのブロック内では、隣り合う複数の信号線からなる信号線セットもしくは個々の信号線と、隣接する前記信号線セットもしくは個々の信号線を異なるタイミングで駆動する駆動法と、ブロック単位で各映像信号線からデータ信号線へデータを取り込み、かつ、そのブロック内で、隣り合う複数の信号線からなる信号線セットもしくは個々の信号線と、隣接する前記信号線セットもしくは個々の信号線を同じタイミングで駆動する駆動法とを任意に切り換えることができる機能をもつようにしてもよい。

#### 【0196】

この場合、隣り合う複数の信号線からなる信号線セットもしくは個々信号の信号線の駆動タイミングを切り換えることにより、水平解像度を切り換える。すなわち、解像度切替機能を実現する。

#### 【0197】

また、上記データ信号線駆動回路において、異なるタイミングで駆動される、隣り合う複数の信号線からなる信号線セットもしくは個々の信号線と、隣接する前記信号線セットもしくは個々の信号線で、前記信号線セットの場合は、信号線セット内のそれぞれの信号線が隣接し異なるタイミングで駆動される信号線セット内のそれぞれの信号線と合わせて2本以上、個々の信号線の場合は、異なるタイミングで駆動され隣り合う信号線が2本以上、共通の映像信号線に接続されていてもよい。

#### 【0198】

この場合、上記特徴を備えることにより、一本の信号線より2本以上のデータ信号線へ同一データを同タイミングにて書きこむことができる。すなわち、低解像度表示が容易に実現できる。

#### 【0199】

また、上記データ信号線駆動回路において、上記駆動法切り換えを行った際、映像信号線からデータ信号線へ映像信号を取り込むためのタイミングパルスを生成するシフトレジスタの駆動段数が異なるようにしてもよい。

#### 【0200】

この場合、上記特徴を備えることにより、表示解像度によってデータ信号線駆動部を変化させ、最適化を図ることによって、回路動作マージンの拡大や駆動周波数の低下といったメリットが生じる。

#### 【0201】

さらに、上記データ信号線駆動回路において、上記駆動法切り換えを行ない、隣り合う複数の信号線からなる信号線セットもしくは個々の信号線と、隣接する前記信号線セットもしくは個々の信号線を同じタイミングで駆動した際に、映像信号線からデータ信号線へ映像信号を取り込むためのタイミングパルスを生成する回路の一部が停止状態に置かれることを特徴としている。

#### 【0202】

この場合、上記特徴を備えることにより、表示解像度によってデータ信号線駆動部を変化させ、駆動部の最適化最小化を図ることによって、それぞれの表示解像度に応じて回路の消費電力を抑制することができる。

#### 【0203】

また、上記データ信号線駆動回路において、上記駆動法切り換え機能により表示される画像の水平解像度を前記データ信号線駆動回路内にて変化させた際に、外部より入力される映像信号の展開相数が不変であってもよい。

#### 【0204】

この場合、上記特徴を備えることにより、高解像度表示に対応すべく敷設されている映像信号線を、低解像度表示時にも有効に活用することができ、その結果、データ信号線駆動回路の駆動周波数低減ならびに消費電力の低減を図ることができる。

#### 【0205】

また、上記データ信号線駆動回路において、上記駆動法切り換えを行った際に、外部より入力されるデータ信号線駆動回路用の制御信号の周波数が異なるようにしてもよい。

#### 【0206】

この場合、データ信号線駆動回路ならびに該データ信号線駆動回路や走査信号線駆動回路の制御信号もしくは映像信号を生成する外部回路における消費電力を

表示解像度に応じて抑制することが可能となる。

【0 2 0 7】

また、上記画像表示装置において、上記データ信号線駆動回路と上記走査信号線駆動回路と上記画素が同一基板上に形成されていてもよい。

【0 2 0 8】

この場合、上記機能を有するデータ信号線駆動回路を、走査信号線駆動回路ならびに画素と同一基板上に形成することにより実装に伴うコストを低減することができると共に、信頼性の向上を図ることができる。

【0 2 0 9】

また、上記画像表示装置において、上記データ信号線駆動回路と上記走査信号線駆動回路と上記画素とを構成する能動素子が、多結晶シリコン薄膜トランジスタであってもよい。

【0 2 1 0】

この場合、能動素子として、多結晶シリコン薄膜トランジスタを用いることにより、駆動回路と画素を同一基板上に同一プロセスにて形成することが可能となるため、製造コストを低減することができる。

【0 2 1 1】

また、上記画像表示装置において、上記能動素子が、ガラス基板上に、6 0 0℃以下のプロセスで形成されていてもよい。

【0 2 1 2】

この場合、安価な低融点のガラス基板を使用することが可能となり、画像表示装置を低コストで提供できる。

【0 2 1 3】

【発明の効果】

以上のように、本発明のデータ信号線駆動方法は、多相化された映像信号を複数の映像信号線を通して各データ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動方法において、上記映像信号線に所定本数のデータ信号線が連続して接続されたデータ信号線群を、映像信号線数分集めて1ブロックとし、上記ブロック単位で映像信号線からデータ信号線へ映像信号を取り込む構成で

ある。

#### 【0214】

それゆえ、ブロック単位で映像信号線からデータ信号線へ映像信号を取り込むことで、ブロック内では、データ信号線群それぞれに異なる映像信号線からの映像信号が取り込まれることになる。

#### 【0215】

これにより、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する場合であっても、各データ信号線群の全てのデータ信号線を同時に駆動する場合であっても、常に、各映像信号線には異なる映像信号を転送すること（多相展開）が可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができるという効果を奏する。

#### 【0216】

また、上記映像信号が複数のカラー信号を有する場合には、以下のようなデータ信号線駆動方法が考えられる。

#### 【0217】

すなわち、本発明のデータ信号線駆動方法は、複数のカラー信号を有する映像信号を、多相化して映像信号線を通して複数のデータ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動方法であって、各映像信号線は、それぞれカラー信号毎に分割された複数の分割映像信号線からなり、各分割映像信号線に所定本数のデータ信号線がカラー信号毎に連続して接続されたデータ信号線群を、映像信号線数分集めて1ブロックとし、上記ブロック単位で映像信号線からデータ信号線へ映像信号を取り込むようにしてもよい。

#### 【0218】

この場合にも、常に、各映像信号線には異なる映像信号を転送すること（多相展開）が可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができるという効果を奏する。

#### 【0219】

また、本発明のデータ信号線駆動回路は、以上のように、多相化された映像信号を複数の映像信号線を通して各データ信号線に取り込むように各データ信号線

を駆動するデータ信号線駆動回路において、各映像信号線には、所定本数連続して接続されたデータ信号線からなるデータ信号線群が形成され、各映像信号線に形成されたデータ信号線群を映像信号線数分集めて1ブロックとしたとき、該ブロック単位で、映像信号線からデータ信号線へ映像信号を取り込む映像信号取込部を有している構成である。

#### 【0 2 2 0】

上記の構成によれば、映像信号取込部によって、ブロック単位で映像信号線からデータ信号線へ映像信号が取り込まれるので、ブロック内では、データ信号線群それぞれに異なる映像信号線からの映像信号が取り込まれることになる。

#### 【0 2 2 1】

これにより、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する場合であっても、各データ信号線群の全てのデータ信号線を同時に駆動する場合であっても、常に、各映像信号線には異なる映像信号を転送すること（多相展開）が可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができるという効果を奏する。

#### 【0 2 2 2】

また、映像信号が複数のカラー信号を含んでいる場合には、以下のようなデータ信号線駆動回路が考えられる。

#### 【0 2 2 3】

すなわち、本発明のデータ信号線駆動回路は、複数のカラー信号を有する映像信号を、多相化して映像信号線を通して複数のデータ信号線に取り込むように各データ信号線を駆動するデータ信号線駆動回路であって、各映像信号線は、それぞれカラー信号毎に分割された複数の分割映像信号線からなり、各分割映像信号線に所定本数のデータ信号線がカラー信号毎に連続して接続されたデータ信号線群を、映像信号線数分集めて1ブロックとしたとき、上記ブロック単位で映像信号線からデータ信号線へ映像信号を取り込む映像信号取込部を有していてもよい。

#### 【0 2 2 4】

この場合にも、常に、各映像信号線には異なる映像信号を転送すること（多相

展開)が可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができるという効果を奏する。

#### 【0225】

上記映像信号取込部は、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する第1駆動と、各データ信号線群の全てのデータ信号線を同時に駆動する第2駆動とを切り替える駆動切替手段を備えていてもよい。

#### 【0226】

この場合、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する第1駆動(高解像度駆動)と、各データ信号線群の全てのデータ信号線を同時に駆動する第2駆動(低解像度駆動)とを任意に切り替える駆動切替手段を備えることで、データ信号線に取り込む信号の解像度を任意に切り替える機能を有することになる。

#### 【0227】

これにより、例えば、高解像度の映像信号をデータ信号線に取り込む場合、通常、ブロック内の各データ信号線群のデータ信号線をそれぞれ1本ずつ同時に駆動する第1駆動が採用されるが、高解像度の映像信号を、各データ信号線群の全てのデータ信号線を同時に駆動する第2駆動を採用して映像信号をデータ信号線に取り込むことができるという効果を奏する。

#### 【0228】

上記映像信号取込部は、映像信号線からデータ信号線へ映像信号を取り込むためのタイミングパルスを生成するシフトレジスタを備え、上記駆動切替手段は、第1駆動と第2駆動とを切り替える際に、上記シフトレジスタの作動する段数を、第1駆動と第2駆動とで異ならせるようにしてもよい。

#### 【0229】

この場合、第1駆動で作動するシフトレジスタの段数と、第2駆動で作動するシフトレジスタの段数とが異なるので、各駆動において消費電力の最適化を図ることができる。例えば、第1駆動のように、ブロック内のデータ信号線群のデータ信号線を1つずつ同時に駆動する場合には、ブロック内のデータ信号線群の数だけシフトレジスタを作動させる必要があるが、第2駆動のように、ブロック内

のデータ信号線群の全てのデータ信号線を同時に駆動させる場合には、1つのシフトレジスタを作動させれば済む。このような場合に、シフトレジスタの作動する段数を第1駆動と第2駆動とで切り替えるようにすれば、データ信号線の駆動に必要なシフトレジスタを作動させる必要がなくなるので、消費電力の低減を図ることができるという効果を奏する。

#### 【0230】

具体的には、上記映像信号取込部は、駆動切替手段によって切り替えられた駆動によりデータ信号線の駆動に必要なシフトレジスタを停止させる停止手段を備えていてもよい。

#### 【0231】

また、上記ブロック内のデータ信号線群は、データ信号線に取り込む映像信号に含まれる色数を1セットとしたデータ信号線を所定セット数集めたものであってもよい。

#### 【0232】

この場合、映像信号がカラーの場合には、色数は通常3であり、RGBの3本のデータ信号線が1セットとなり、また、映像信号がモノクロの場合には、色数は1であり、1本のデータ信号線が1セットとなるので、カラーの場合でもモノクロの場合でも、高解像度駆動時の場合に比べて低解像度駆動時の場合の消費電力が抑制でき、結果として、データ信号線駆動回路の消費電力の低減を図ることができる。

#### 【0233】

本発明の表示装置は、以上のように、複数のデータ信号線と、これらデータ信号線に交差する複数の走査信号線と、上記データ信号線と走査信号線との各交差部に設けられた画素とを有し、走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のための映像信号を取込み保持する表示パネルと、上記複数のデータ信号線に所定のタイミング信号に同期して、映像信号を出力するデータ信号線駆動回路と、上記複数の走査信号線に所定のタイミングに同期して走査信号を出力する走査信号線駆動回路とを備え、上記映像信号が多相化された各々が複数の映像信号線を通じて、上記データ信号線に供給される表示

装置において、上記データ信号線駆動回路は、上記の何れのデータ信号線駆動回路であってもよい。

#### 【0234】

それゆえ、映像信号が高解像度であっても、低解像度であっても、多相展開で表示することが可能となるので、高解像度駆動を行う場合に比べて低解像度駆動を行う場合の消費電力を抑制することができ、結果として、表示装置全体の消費電力の低減を図ることができる。

#### 【0235】

しかも、高解像度駆動時の場合、従来のデータ信号線駆動回路では、ブロック単位で映像信号をデータ信号線に取り込む構成をとった場合、ブロックの端部分と真中部分のデータ信号線に対する、隣接するデータ信号線の影響が異なるため、ブロックの端部分に表示上で縞が発生し表示品位を悪くしてしまうという問題があるが、上記構成の場合、ブロック全域におけるデータ信号線に対しての隣接するデータ信号線の影響を均一化できるため表示品位の劣化を抑えることもできるという効果を奏する。

#### 【0236】

上記データ信号線駆動回路、上記走査線駆動回路、上記画素が同一基板上に形成されていてもよい。

#### 【0237】

このように、上記機能を有するデータ信号線駆動回路を、走査信号線駆動回路ならびに画素と同一基板上に形成することにより、実装に伴うコストを低減することができると共に、信頼性の向上を図ることができるという効果を奏する。

#### 【図面の簡単な説明】

##### 【図1】

本発明の一実施の形態にかかるデータ信号線駆動回路の概略ブロック図である。

##### 【図2】

図1に示すデータ信号線駆動回路を備えた画像表示装置の概略ブロック図である。



**【図 3】**

(a) ~ (k) は、図 2 に示す画像表示装置の画素を構成する TFT の製造工程を示す図である。

**【図 4】**

図 2 に示す画像表示装置の画素を構成する TFT の断面図である。

**【図 5】**

図 2 に示す画像表示装置の画素の概略構成図である。

**【図 6】**

図 1 に示すデータ信号線駆動回路の高解像度駆動時の状態を示す図である。

**【図 7】**

図 1 に示すデータ信号線駆動回路の高解像度駆動時の各種信号のタイミングチャートである。

**【図 8】**

図 1 に示すデータ信号線駆動回路の低解像度駆動時の状態を示す図である。

**【図 9】**

図 1 に示すデータ信号線駆動回路の低解像度駆動時の各種信号のタイミングチャートである。

**【図 10】**

(a) は原映像信号を示し、(b) は従来の多相化状態の映像信号を示し、(c) は本発明で使用する映像信号を示す図である。

**【図 11】**

図 10 (a) に示す信号を、図 10 (b) に示す信号に変換する第 1 変換回路の概略ブロック図である。

**【図 12】**

図 10 (a) に示す信号を、図 10 (c) に示す信号に変換する第 2 変換回路の概略ブロック図である。

**【図 13】**

本発明の他の実施の形態にかかるデータ信号線駆動回路の概略ブロック図である。

**【図 1 4】**

図 1 3 に示すデータ信号線駆動回路の高解像度駆動時の状態を示す図である。

**【図 1 5】**

図 1 3 に示すデータ信号線駆動回路の高解像度駆動時の各種信号のタイミングチャートである。

**【図 1 6】**

図 1 3 に示すデータ信号線駆動回路の低解像度駆動時の状態を示す図である。

**【図 1 7】**

図 1 3 に示すデータ信号線駆動回路の低解像度駆動時の各種信号のタイミングチャートである。

**【図 1 8】**

図 1 3 に示すデータ信号線駆動回路の低解像度駆動時の各種信号の他のタイミングチャートである。

**【図 1 9】**

本発明のデータ信号線駆動回路をカラー表示装置に使用した場合の映像信号線とデータ信号線との接続関係を示す図である。

**【図 2 0】**

従来のデータ信号線駆動回路をカラー表示装置に使用した場合の映像信号線とデータ信号線との接続関係を示す図である。

**【図 2 1】**

従来の画像表示装置の概略ブロック図である。

**【図 2 2】**

図 2 1 に示す画像表示装置に備えられたデータ信号線駆動回路の概略ブロック図である。

**【図 2 3】**

図 2 2 に示すデータ信号線駆動回路の高解像度駆動時の状態を示す図である。

**【図 2 4】**

図 2 2 に示すデータ信号線駆動回路の高解像度駆動時の各種信号のタイミングチャートである。

## 【図 2 5】

図 2 2 に示すデータ信号線駆動回路の低解像度駆動時の各種信号のタイミングチャートである。

## 【符号の説明】

- 1 画素
- 2 画素アレイ
- 3 データ信号線駆動回路
- 4 走査信号線駆動回路
- 5 電源回路
- 6 制御回路
- 1 1 映像信号線
- 1 1 r 分割映像信号線
- 1 1 g 分割映像信号線
- 1 1 b 分割映像信号線
- 1 2 映像信号線
- 1 2 r 分割映像信号線
- 1 2 g 分割映像信号線
- 1 2 b 分割映像信号線
- 1 3 スイッチング素子
- 1 4 スイッチング素子
- 1 5 スイッチング素子
- 1 6 スイッチング素子
- 1 7 駆動切替回路（駆動切替手段、停止手段、映像信号取込部）
- 2 1 第 1 変換回路
- 2 2 メモリ
- 2 3 メモリ
- 2 4 メモリ
- 2 6 D A C
- 3 1 第 2 変換回路

3 2      メモリ  
3 3      メモリ  
3 4      スイッチ手段  
3 5      スイッチ手段  
4 3      データ信号線駆動回路  
C K      クロックパルス  
C O M    コモン電圧  
D A T 1   映像信号  
D A T 2   映像信号  
G C K    クロック信号  
G L 1 ~ G L m   走査信号線  
G S P    スタートパルス信号  
M S E L   駆動切替制御信号  
O 1    出力信号  
O 2    出力信号  
O 3    出力信号  
O 4    出力信号  
R E    読み出し信号  
R D 1    カラー信号  
R D 2    カラー信号  
G D 1    カラー信号  
G D 2    カラー信号  
B D 1    カラー信号  
B D 2    カラー信号  
S C K    クロック信号  
S L 1 ~ S L n   データ信号線  
S M P    波形整形回路（映像信号取込部）  
S R    シフトレジスタ（映像信号取込部）  
S S P    スタートパルス

V G H 電圧

V G L 電圧

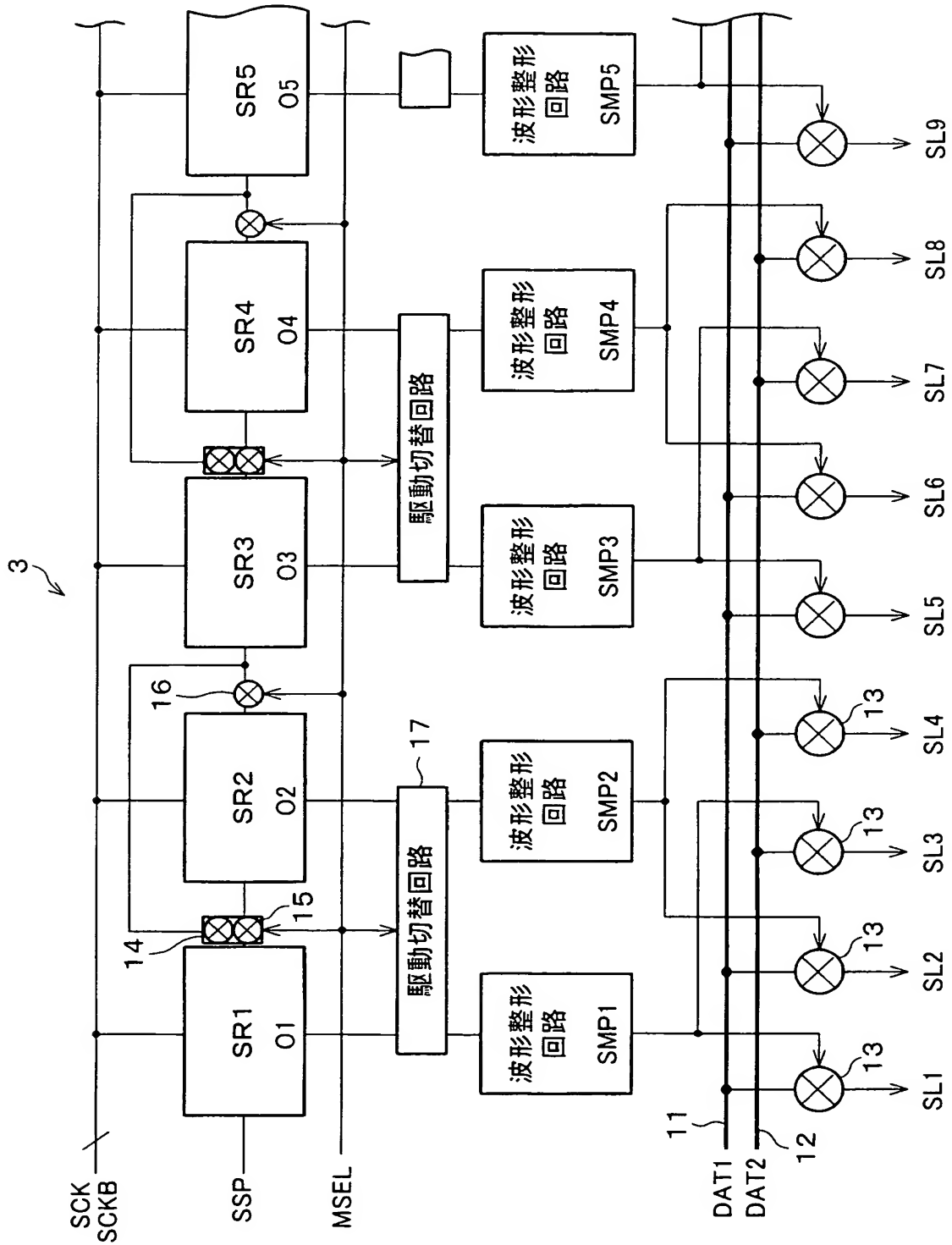
V S H 電圧

V S L 電圧

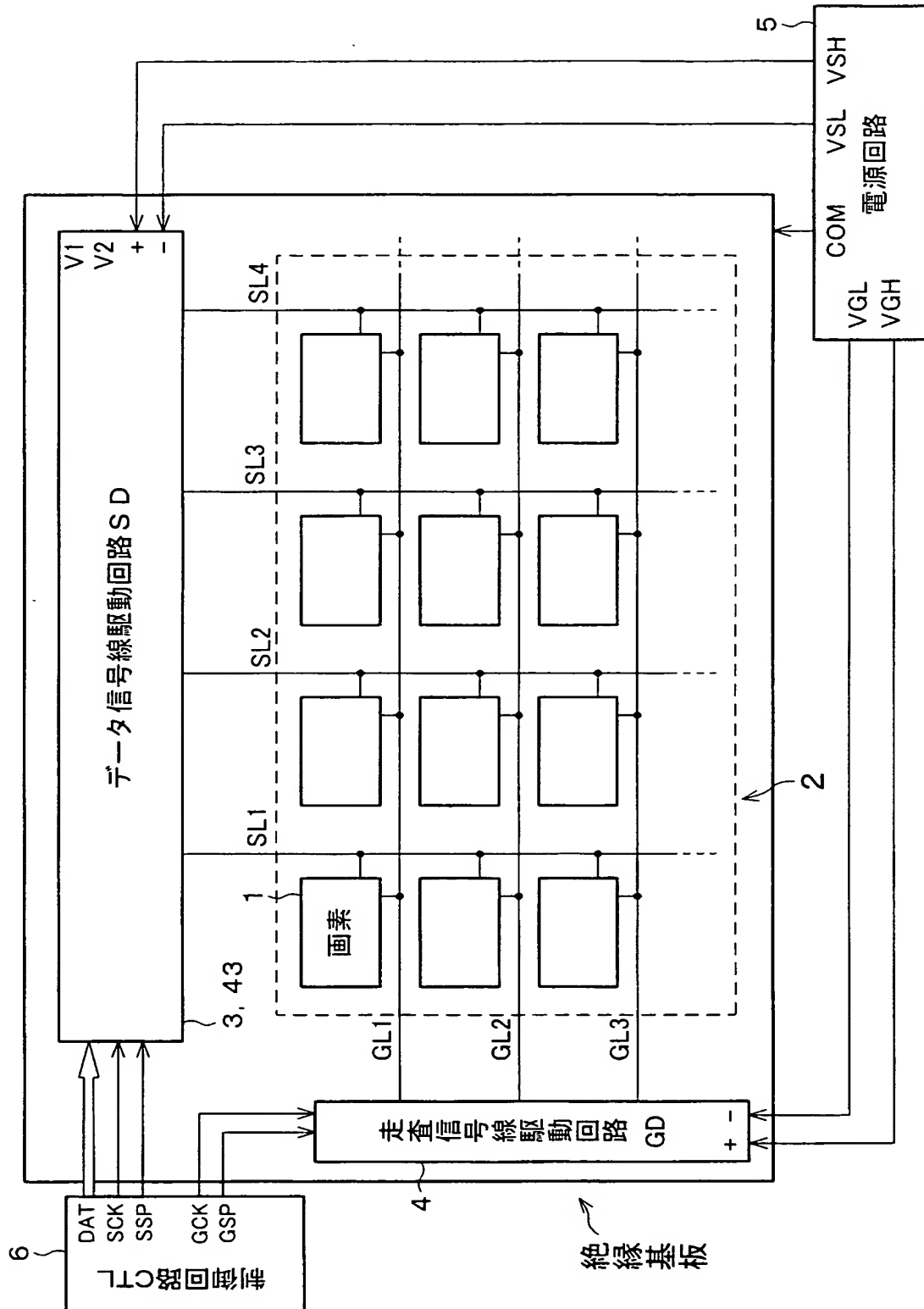
W E 書き込み信号

【書類名】 図面

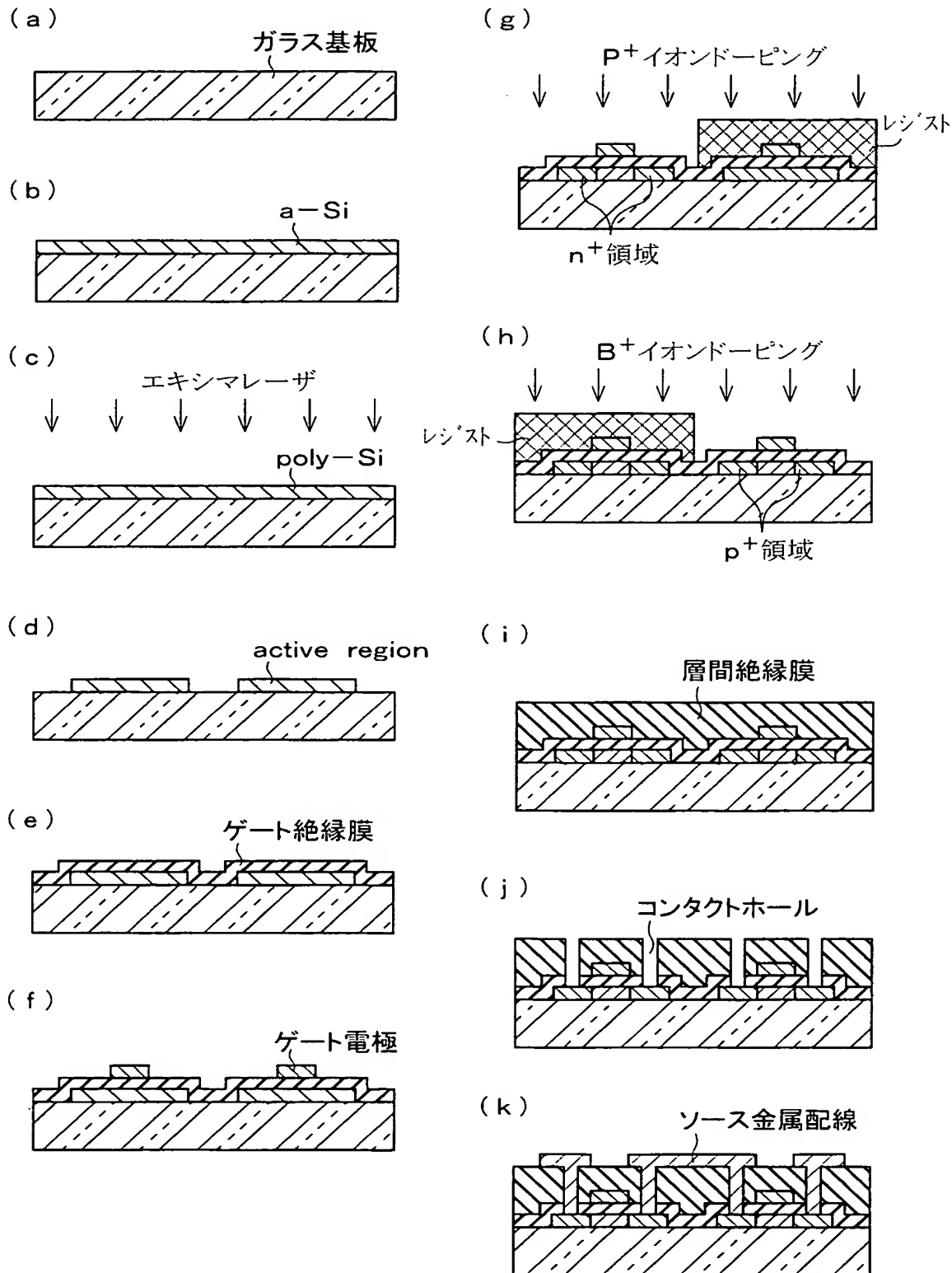
【図 1】



【図 2】

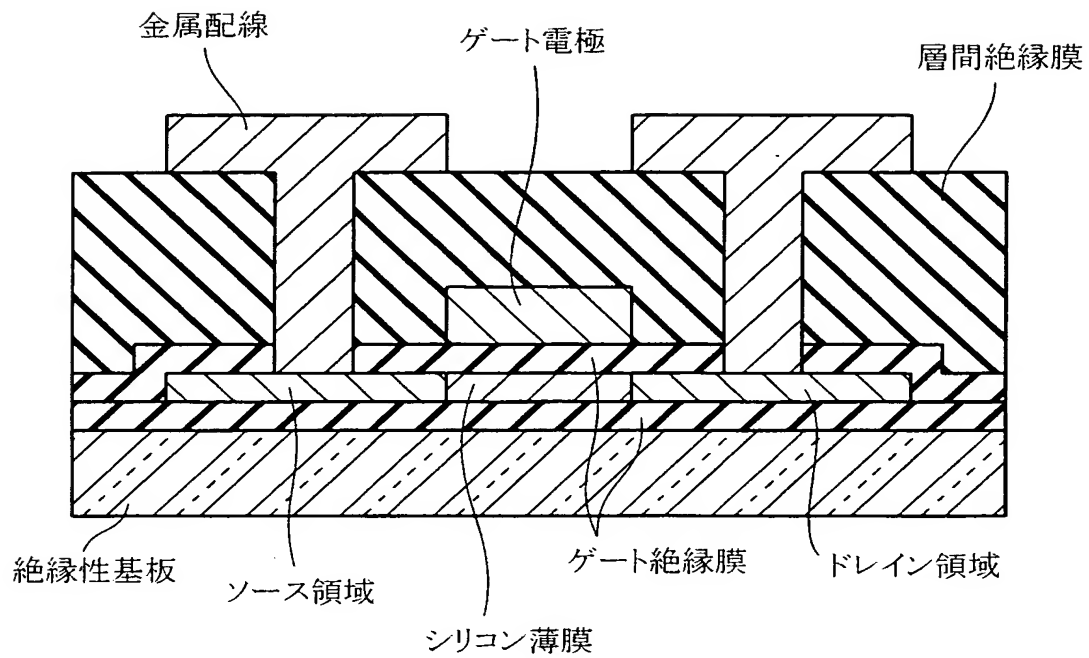


【図 3】

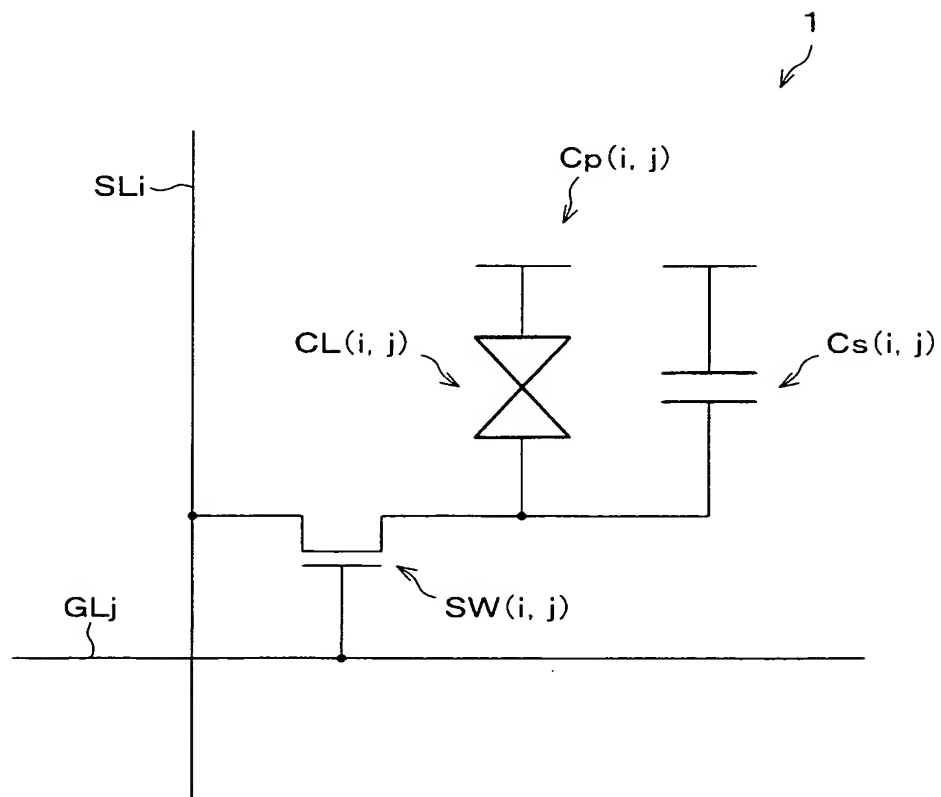




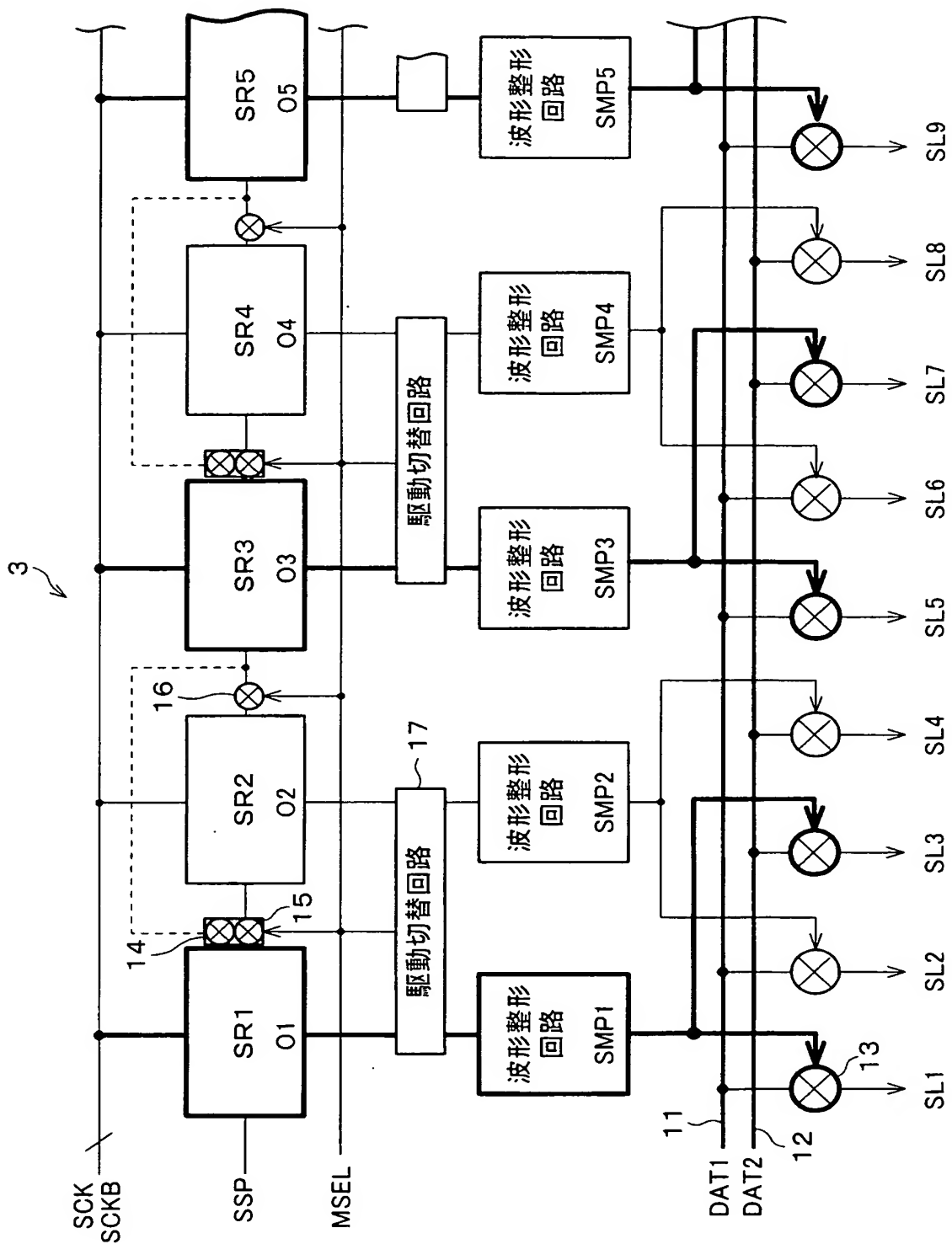
【図 4】



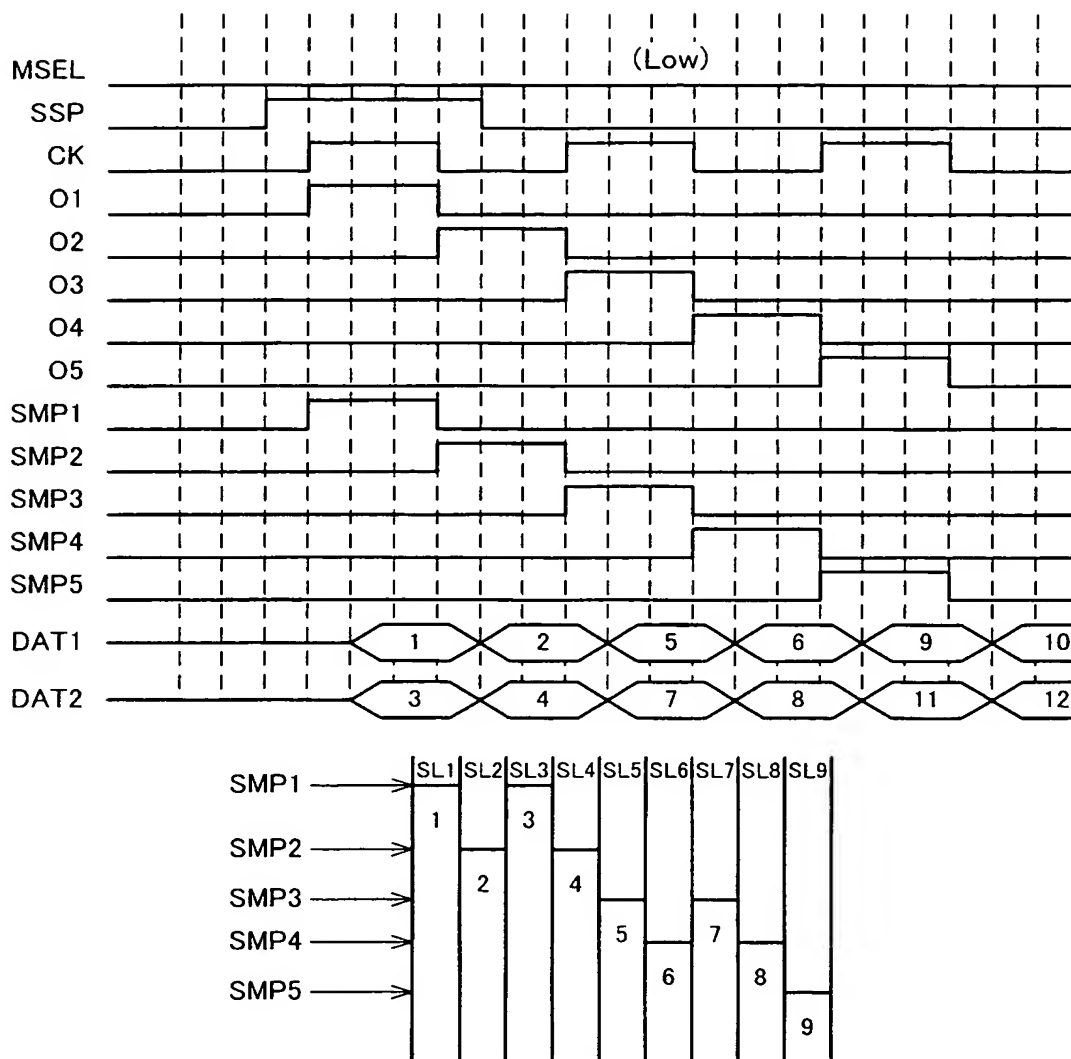
【図 5】



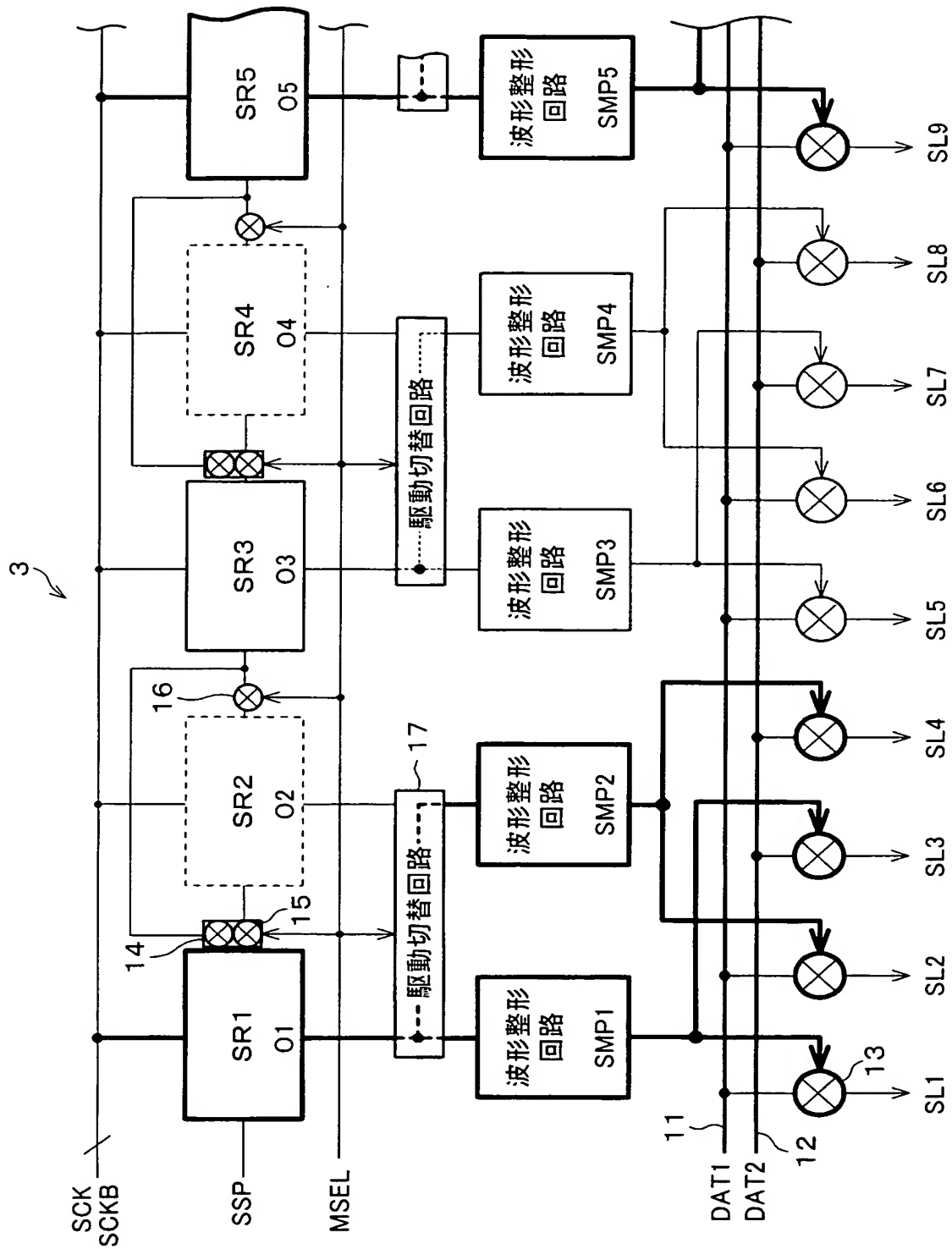
【図 6】



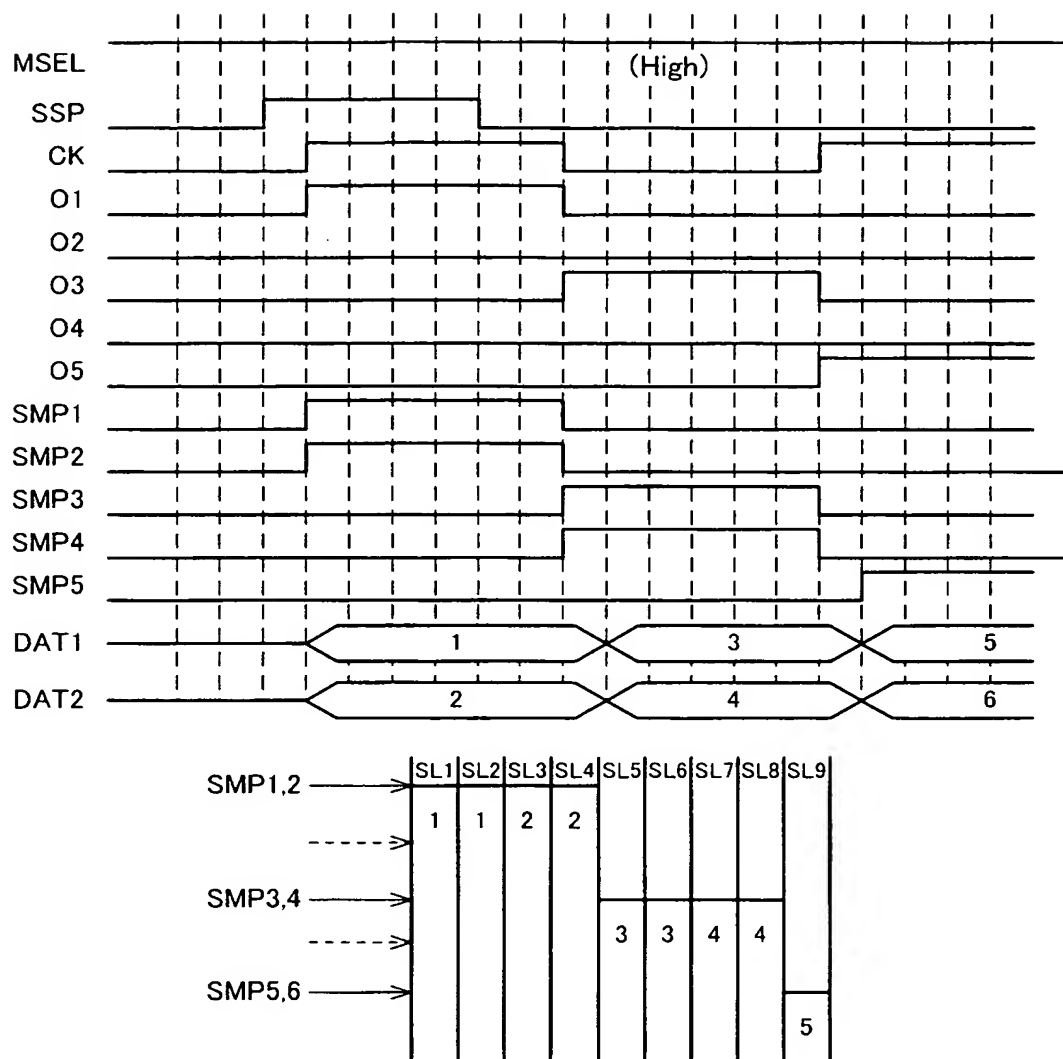
【図 7】



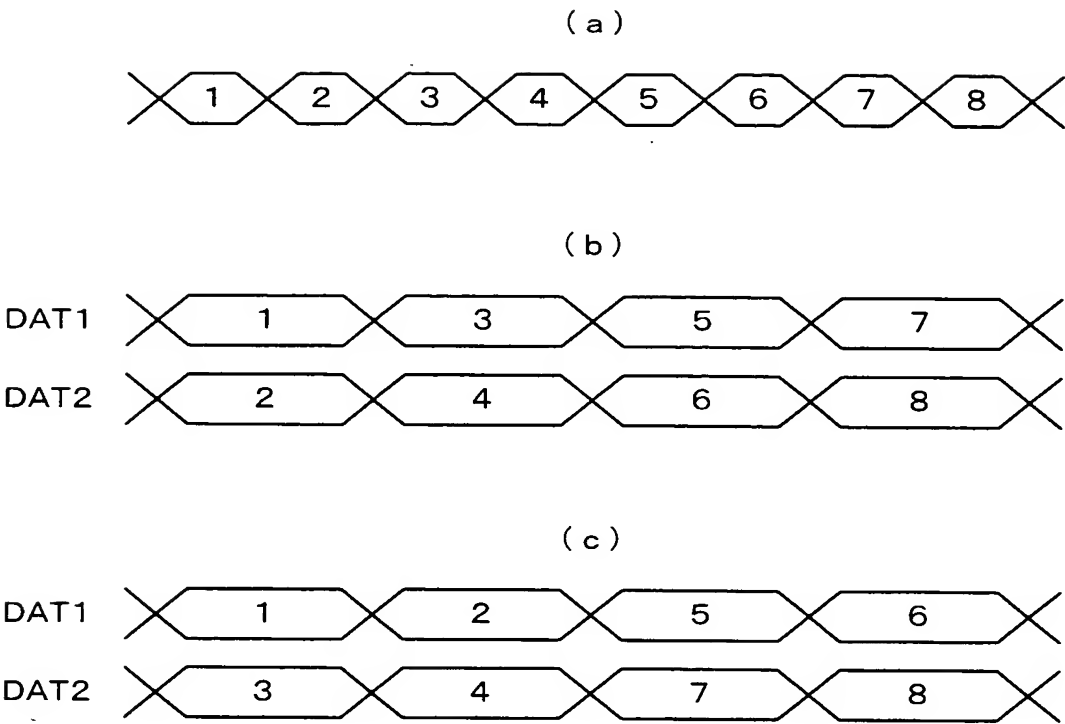
【図8】



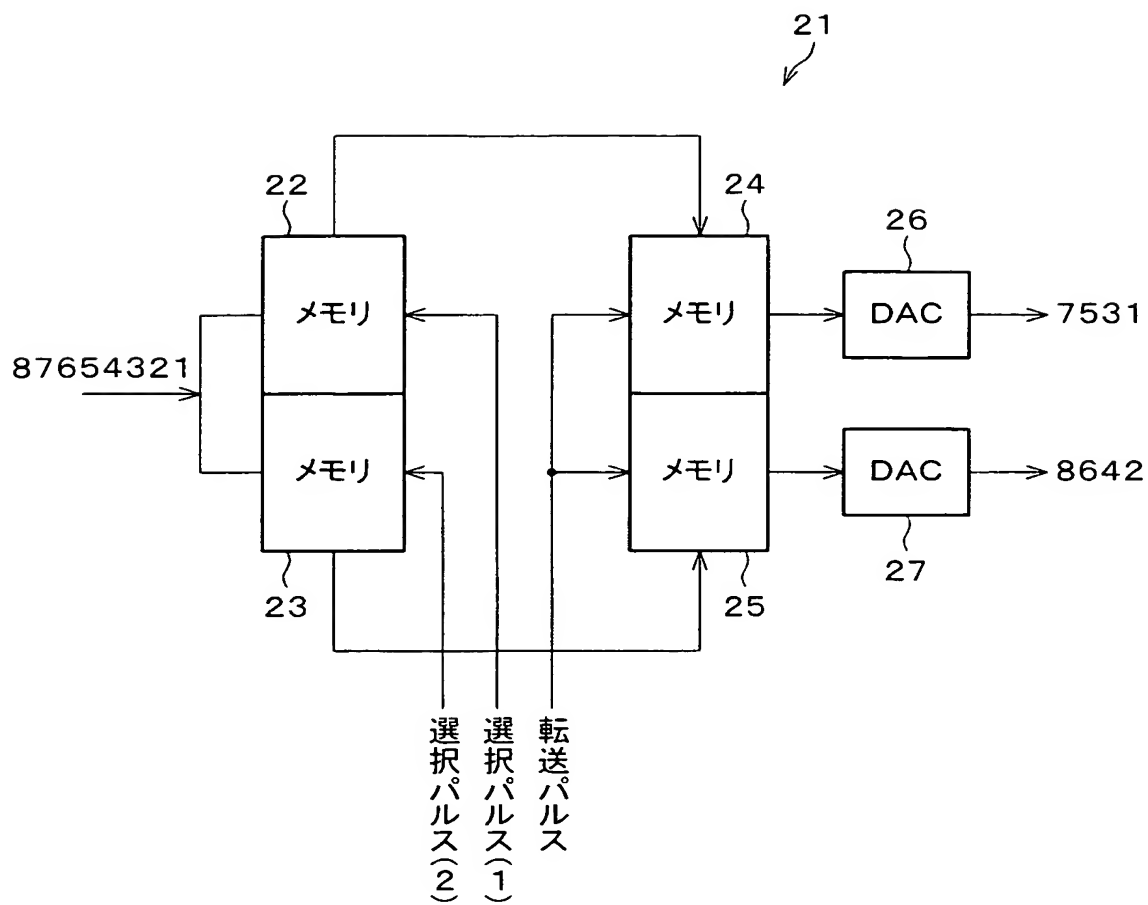
【図 9】



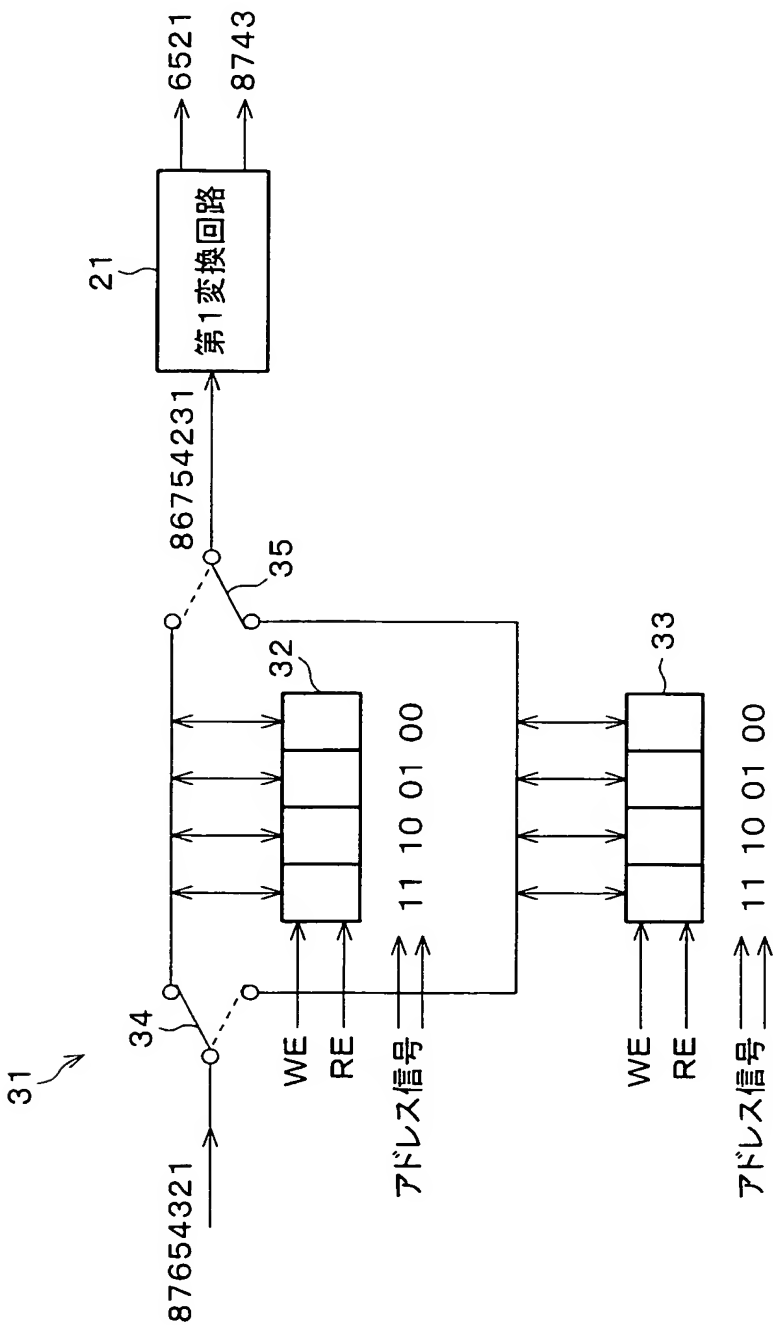
【図 10】



【図 11】

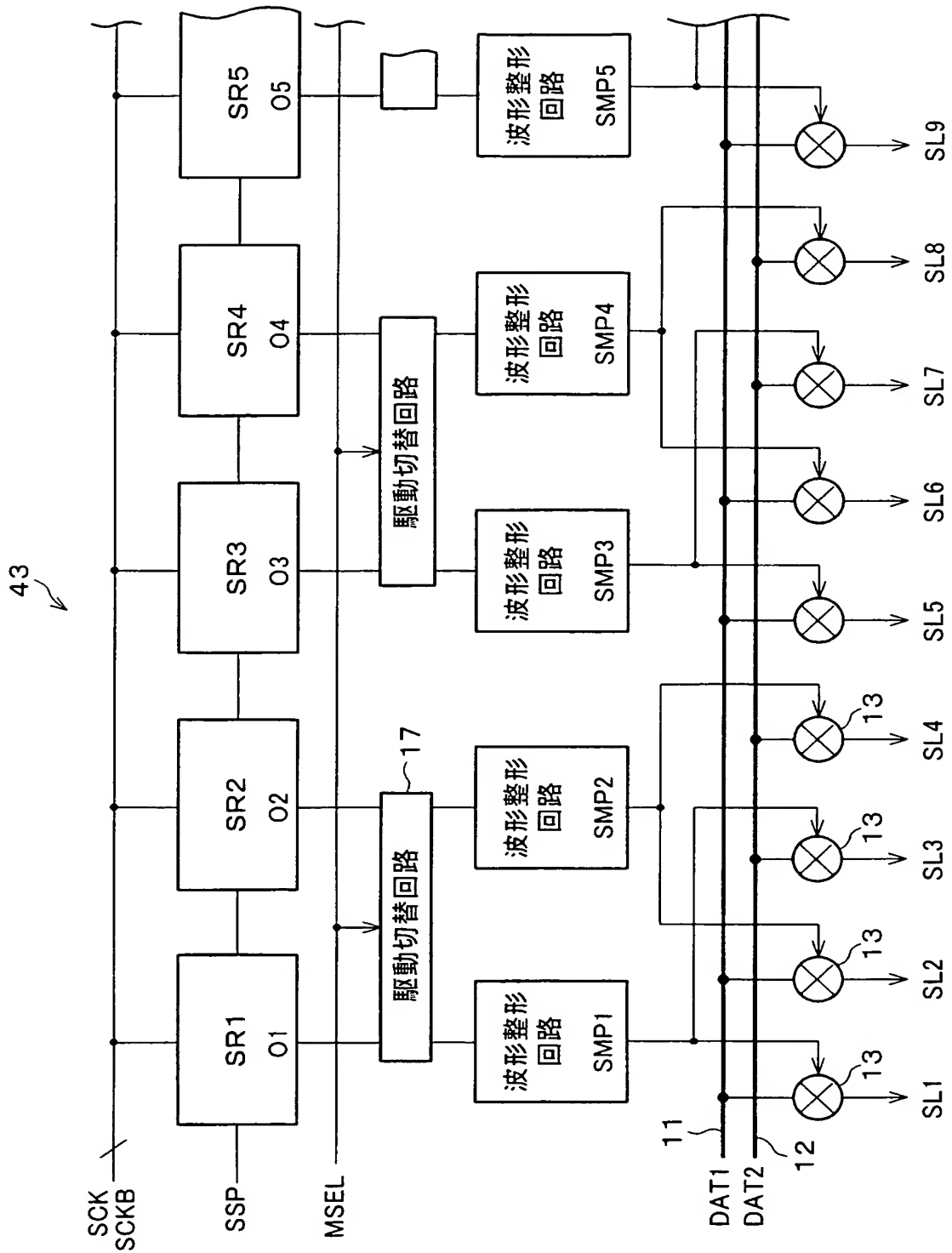


【図 12】

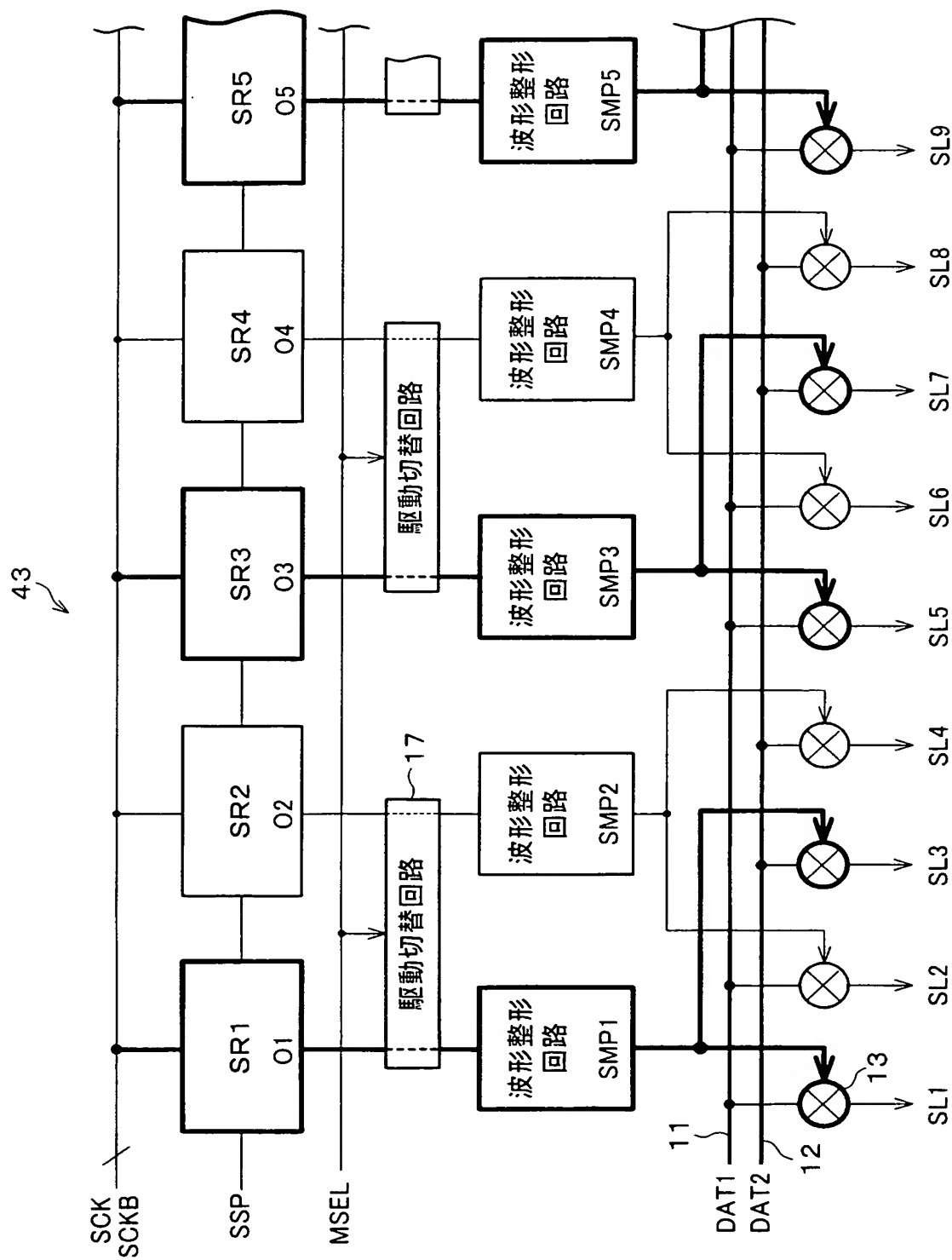




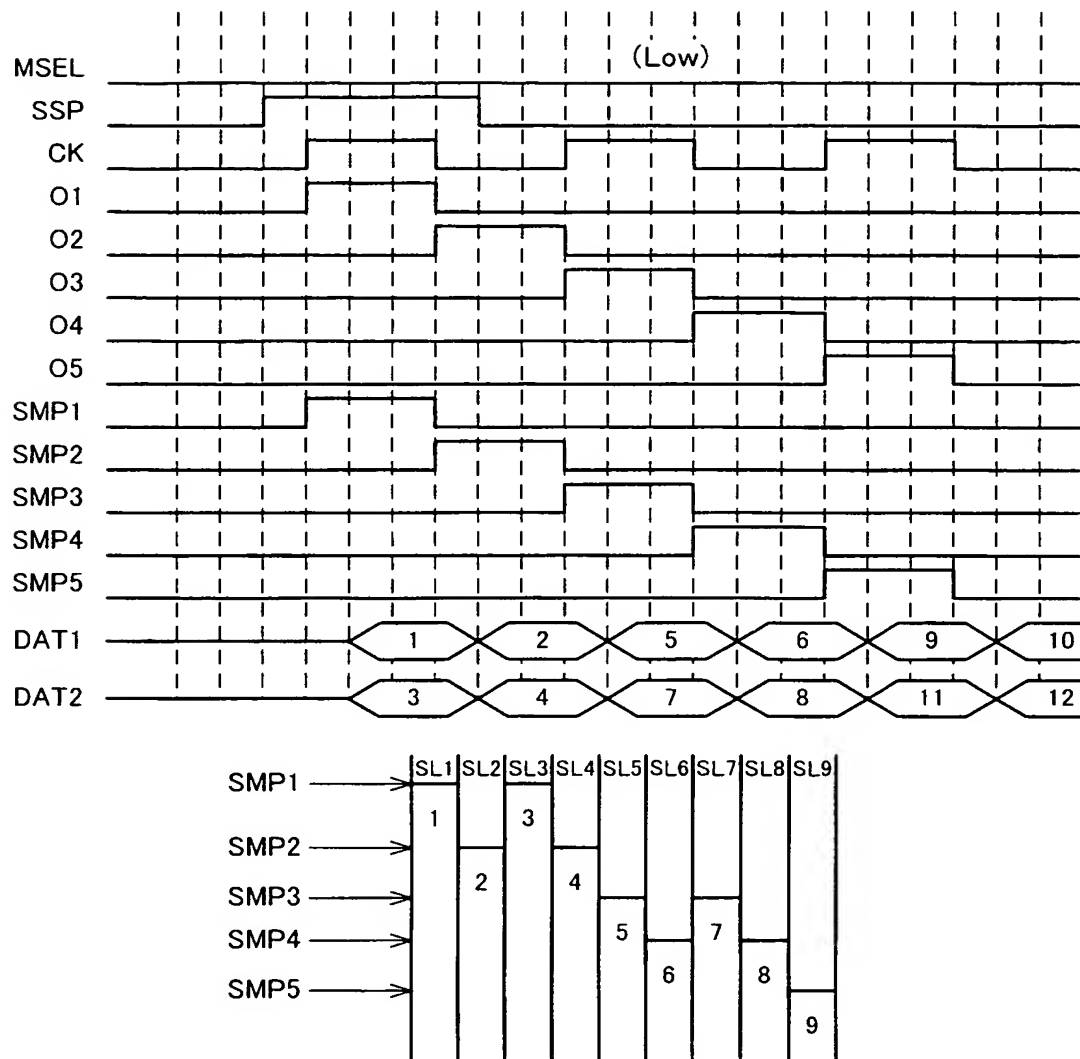
【図 13】



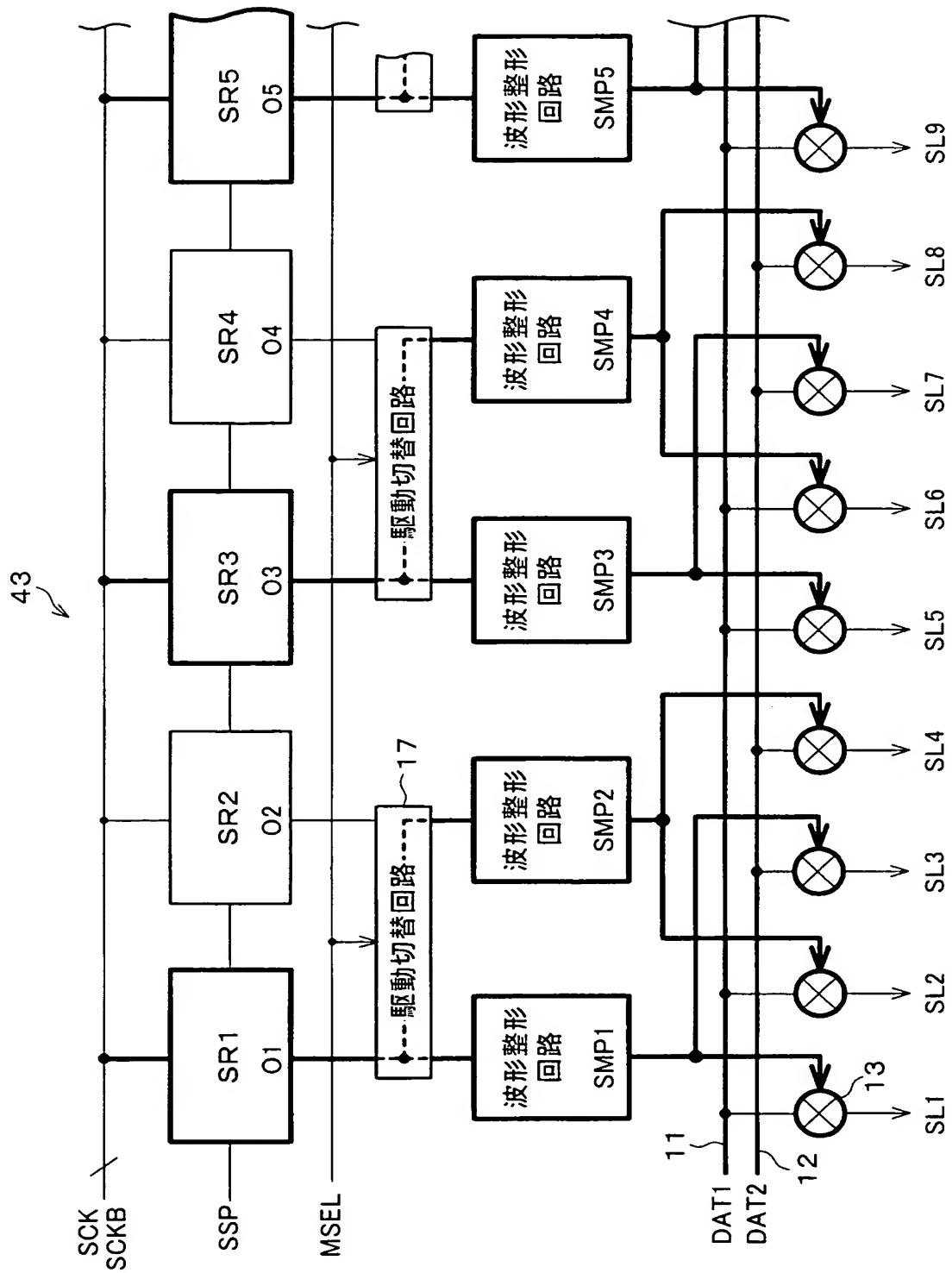
【図14】



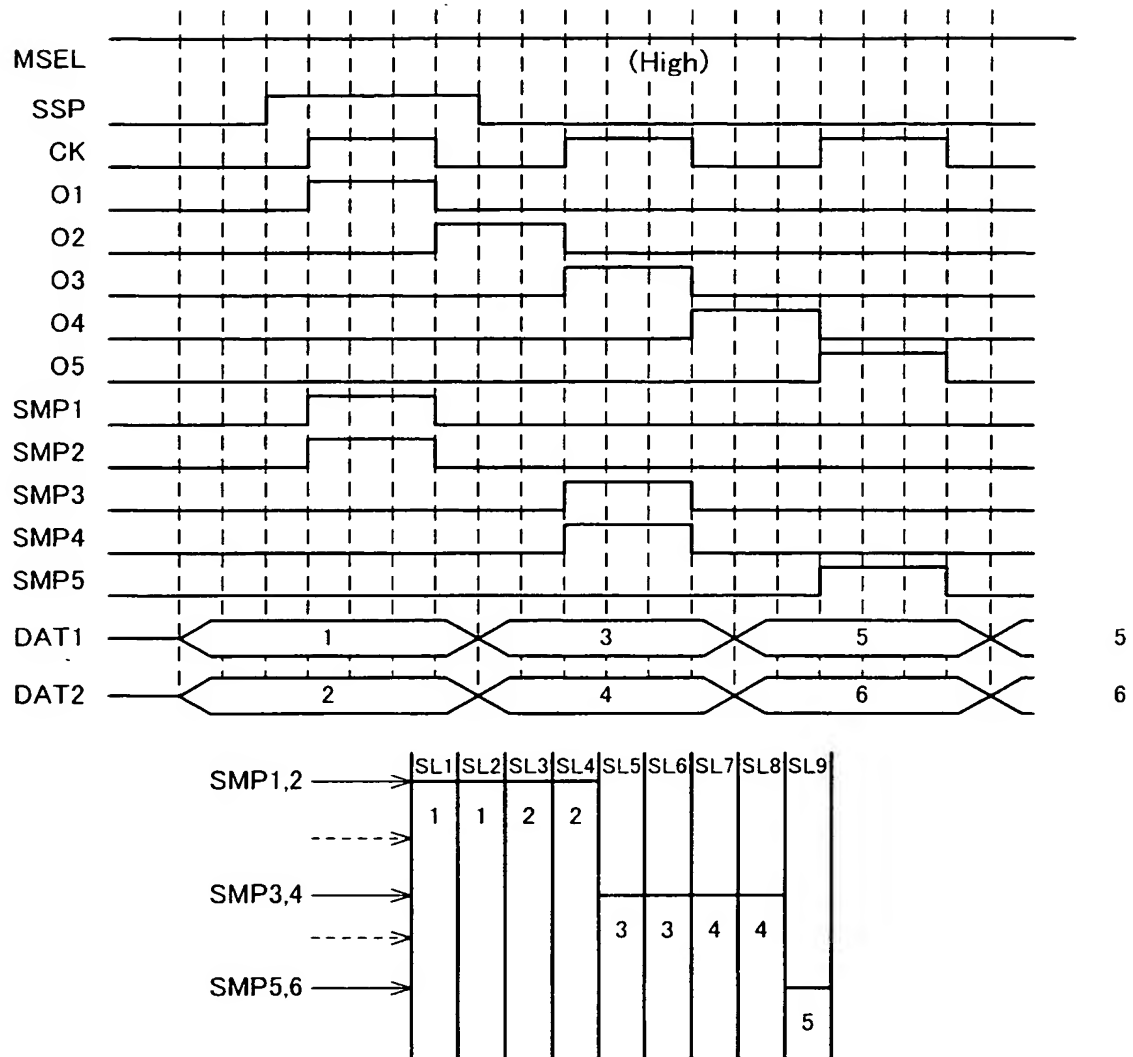
【図 15】



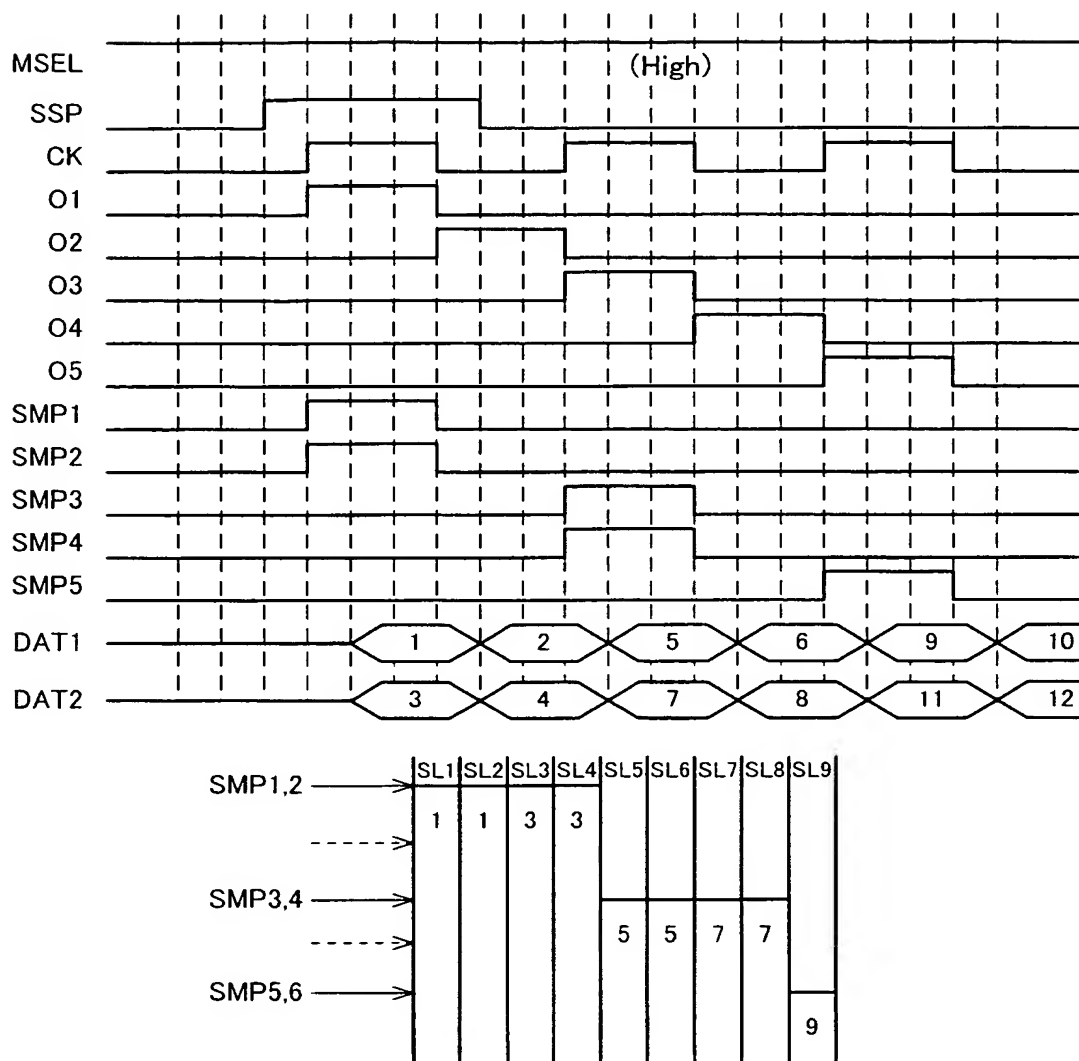
【図 16】



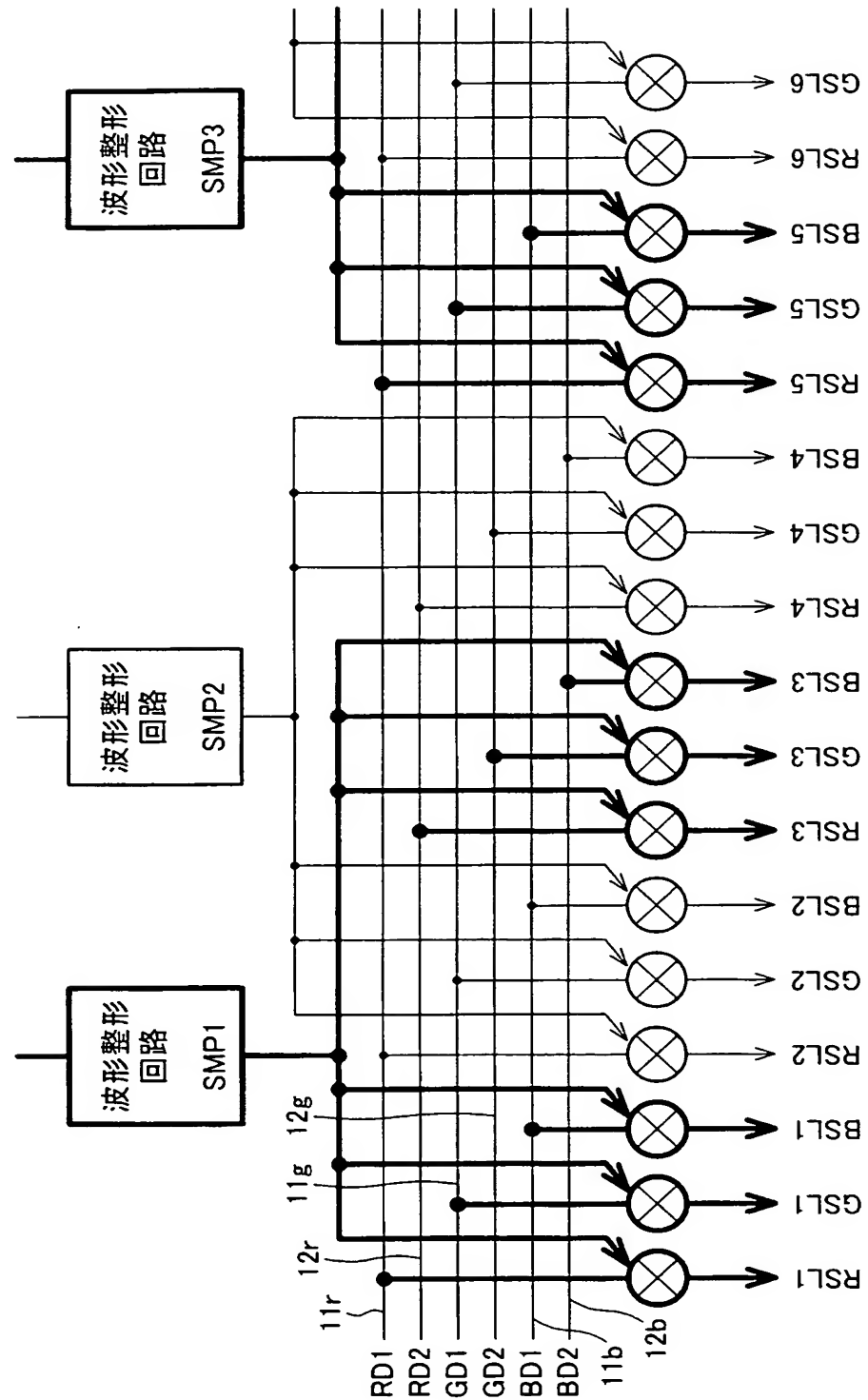
【図 17】



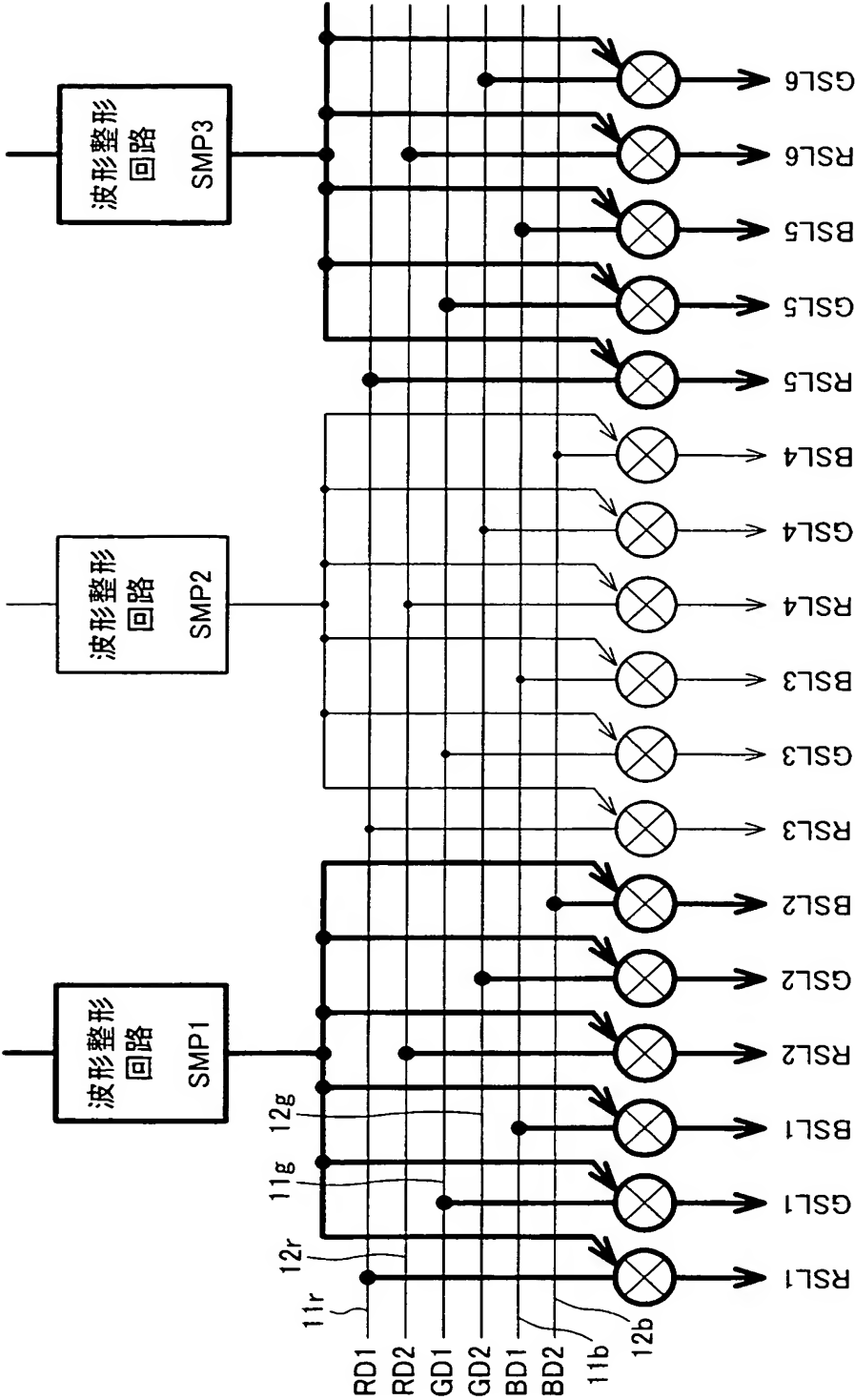
【図 18】



【図 19】

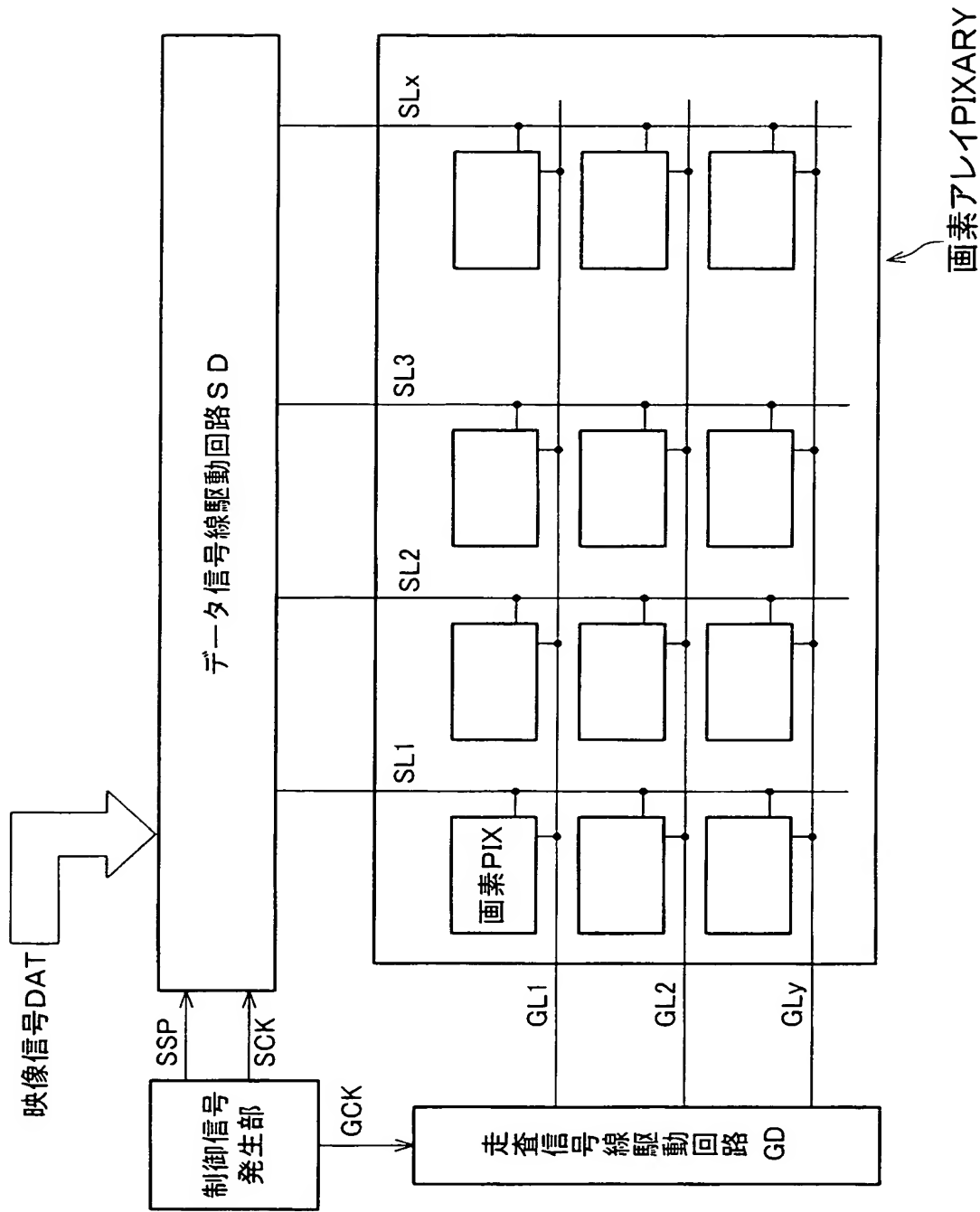


【図 20】

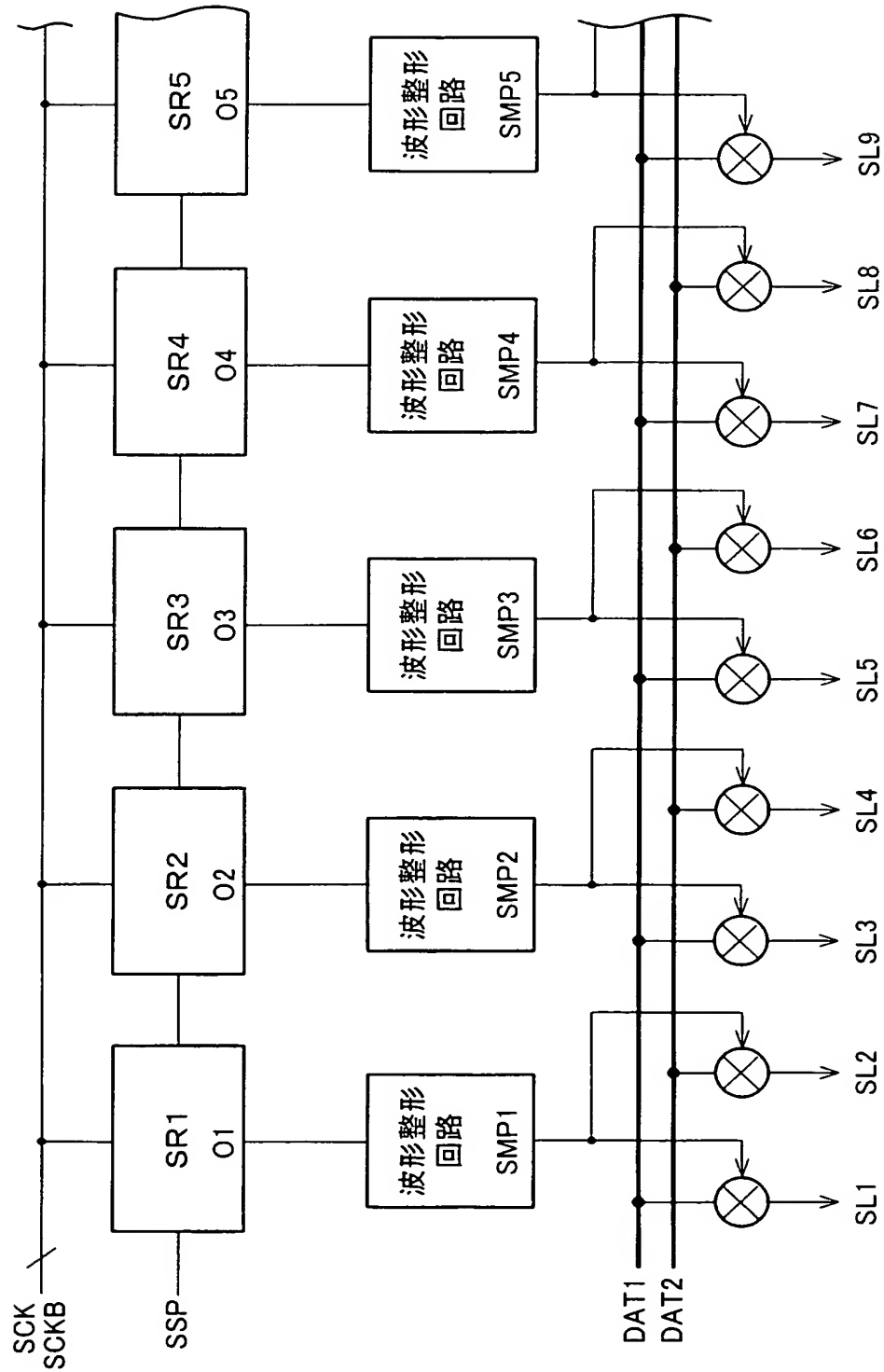




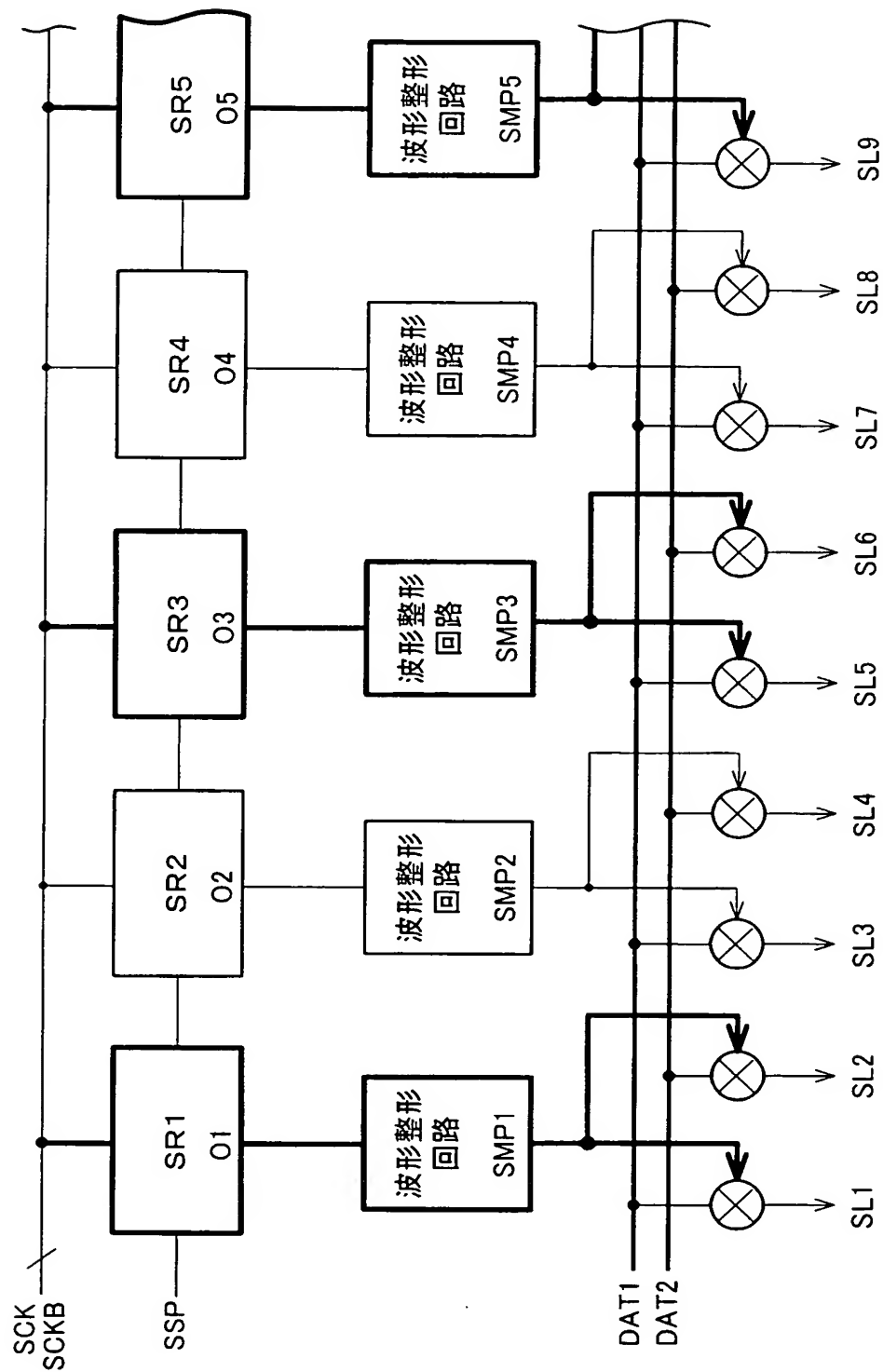
【図 2 1】



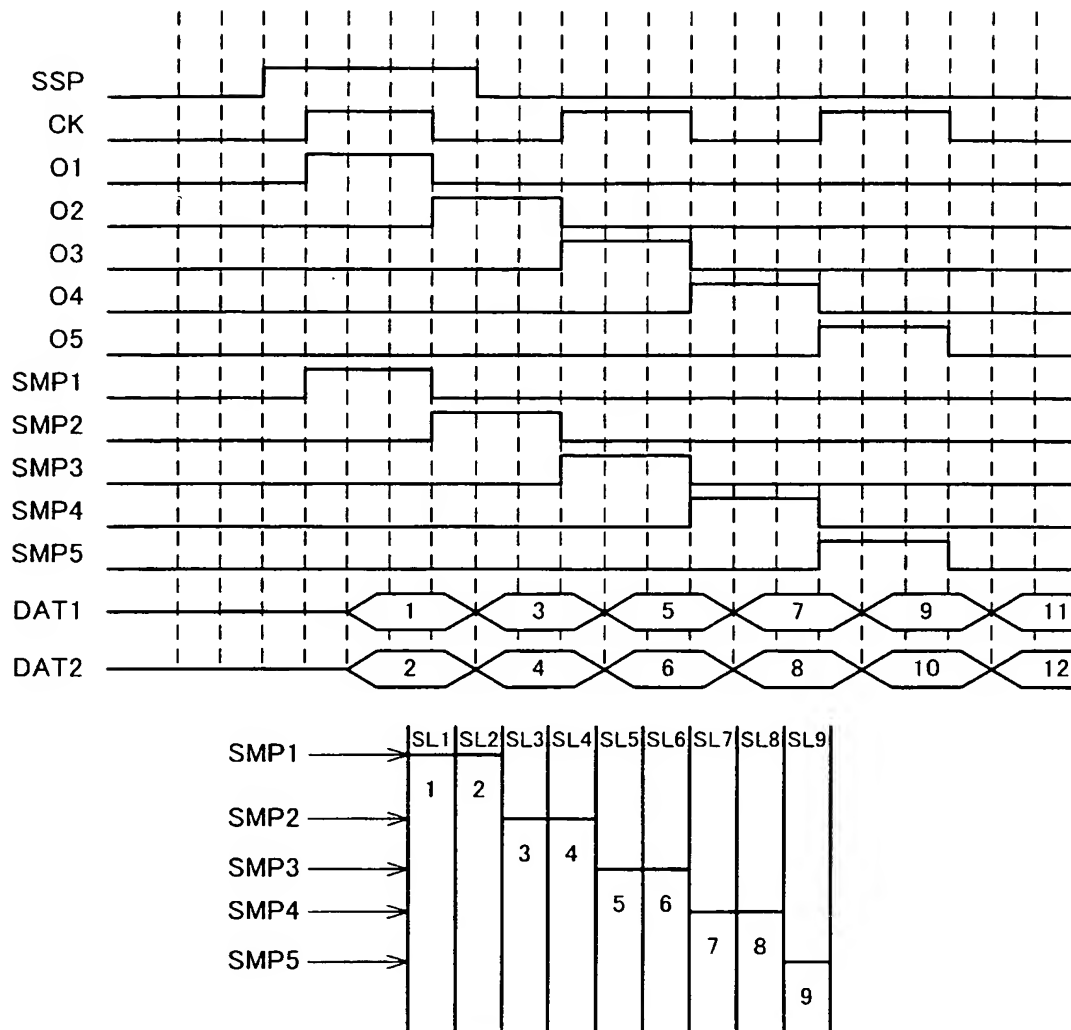
【図 22】



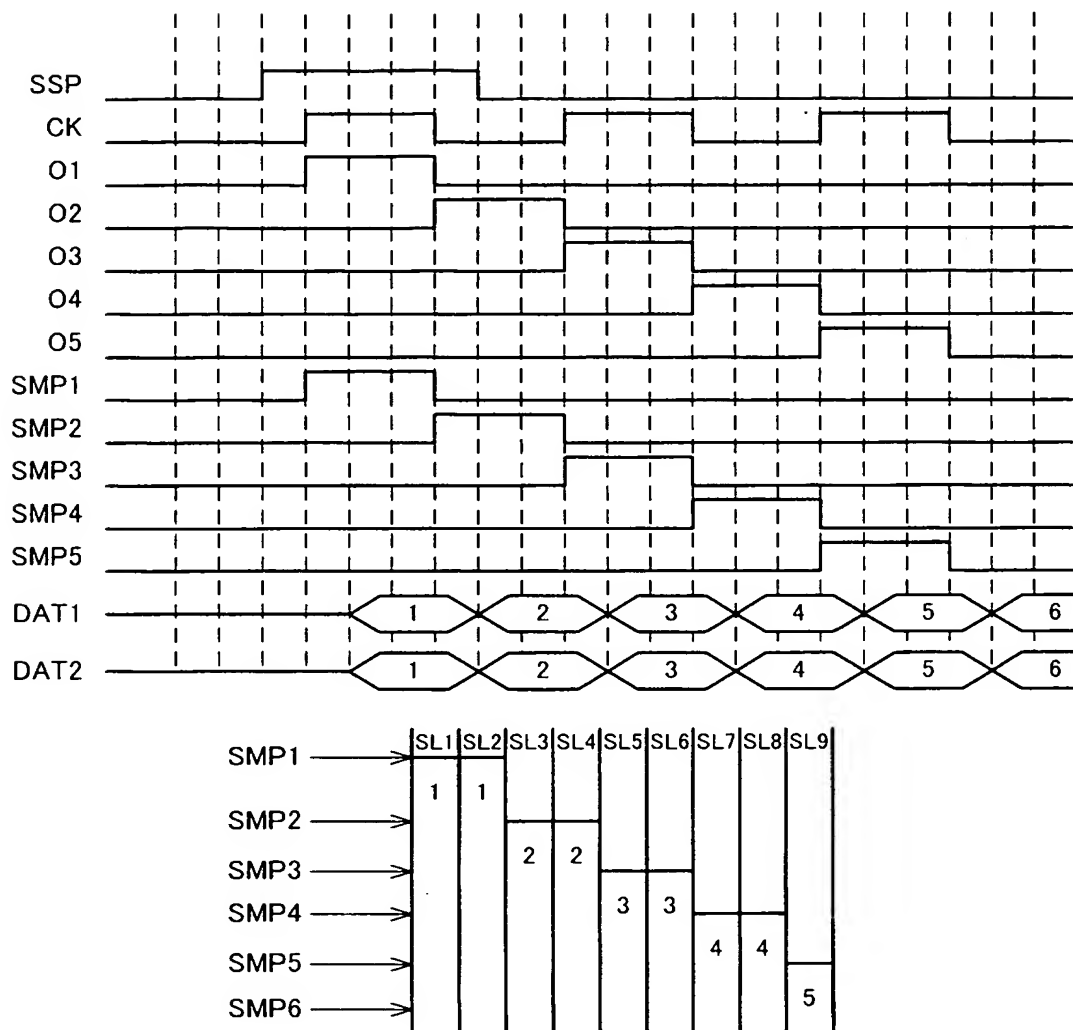
【図 23】



【図 24】



【図 25】





【書類名】 要約書

【要約】

【課題】 多相展開を行なう際に、高解像度駆動時に比べて低解像度駆動時の消費電力を低くすることが可能なデータ信号線駆動回路を提供する。

【解決手段】 2相化された映像信号DAT1、DAT2を転送する2本の映像信号線11、12には、2本連続して接続されたデータ信号線SLからなるデータ信号線群が形成される。映像信号取込部を構成するシフトレジスタSR、駆動切替回路17および波形整形回路SMPは、上記のデータ信号線群を2本の映像信号線11、12からそれぞれ集めて一つのブロックとしたとき、該ブロック単位で、該映像信号線11、12から各データ信号線群のデータ信号線SLへ映像信号DAT1、DAT2を取り込むように各データ信号線SLを駆動する。

【選択図】 図1

特願 2002-328835

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社